

## CONTACT

## INFORMA II

- Universitatea „Aurel Vlaicu” din Arad (UAV), Departamentul de Matematică și Informatică Complex M, Str. Elena Dragoi nr. 2-4, 310330 Arad, România
- [valeriu.beiu@uav.ro](mailto:valeriu.beiu@uav.ro) & [valerbeiu@gmail.com](mailto:valerbeiu@gmail.com)

## SPECIALIZARE

## INGINERIE INFORMATICĂ ȘI ELECTRICĂ

- Nano-arhitecturi inspirate de bio/creier (de exemplu, foarte fiabile și ultra-scăzute)
  - VLSI avansat (putere scăzută, porți/circuite îmbunătățite cu fiabilitate, scheme de comunicații noi)
  - Design digital (inclusiv logica de prag)
  - Complexitatea circuitului și VLSI
  - Implementări hardware ale rețelelor neuronale (inclusiv învățarea neuronală constructivă)
  - Calcule biologice/neurale și comunicare (inclusiv arhitecturi masiv paralele)
  - Arhitecturi computerizate și aritmetică computerizată

## BIO-SCHETĂ

Am absolvit în 1980 Departamentul de Informatică și Inginerie a Universității „Politehnica” din București (România) cu o teză de master pe stații de lucru grafice de mare viteză (Best MSc Thesis Award). Am cercetat, proiectat și dezvoltat unități în virgulă mobilă (FPU) de ultra mare viteză și unități centrale de procesare (CPU) timp de doi ani, în timp ce am lucrat la Institutul de Cercetare pentru Tehnici Calculatoare, București (România). Revenind la Universitatea „Politehnica” din București, am devenit asistent universitar (1983) și conferențiar principal (1990), predare, cercetare (arhitectură computerizată, proiectare VLSI, circuite digitale, rețele neuronale artificiale) și supervizare (29 teze de master).

În 1991, fiind distins atât cu o bursă de cercetare Fulbright (SUA) cât și cu o bursă de doctorat (Belgia), am urmat studiile doctorale și am fost în concediu de la Universitatea „Politehnica” din București (până în 2001).

11/1991 – 11/1994 • Doctorand la Departamentul de Inginerie Electrică, Katholieke Universiteit Leuven (Belgia), unde în mai 1994 mi-am obținut doctoratul summa cum laude (cele mai mari onoruri) pentru o teză pe domeniu și implementări VLSI eficiente în timp ale rețelelor neuronale artificiale folosind porți logice de prag.

12/1994 – 09/1996 • Cercetare Individual Capital Uman și Mobilitate al Uniunii Europene la Centrul pentru Neural Networks, King's College London (Marea Britanie), care efectuează cercetări asupra rețelelor neuronale programabile.

10/1996 – 08/1998 • Bursier postdoctoral director la Divizia de Științe Spațiale și Atmosferice, Los Alamos Laboratorului Național (SUA), care investighează rețele neuronale programabile în câmp adaptive/reconfigurabile pentru sisteme de procesare adaptive implementabile.

09/1998 – 05/2001 • CTO și co-fondator al RN2R LLC și Fellow of Rose Research (Dallas, SUA), coordonând cercetare pe VLSI ultra-rapid de putere redusă, care permite porți și circuite inspirate de neuroni.

Din iunie 2001 am devenit profesor asociat la Școala de Inginerie Electrică și Informatică, Washington Universitatea de Stat, implicată în predare (VLSI/nanoelectronică, ASIC/FPGA, calcule neuronale, arhitectură computerizată), cercetare (circuite VLSI de putere redusă și foarte fiabile, nano-arhitecturi emergente de inspirație biologică) și supraveghere (1 doctorat și 2 master). În martie 2005 mi s-a oferit un post de profesor invitat la School of Intelligent Systems, Universitatea din Ulster (Londonderry, Marea Britanie), iar în iulie 2005 m-am alăturat Colegiului de Tehnologie Informației (CIT), Universitatea din Emiratele Arabe Unite (UAEU, Al Ain), Emiratele Arabe Unite în calitate de Catedră de Inginerie Informatică (2005–2006), unde în 2006 am fost promovat la Decan asociat pentru cercetare și studii postuniversitare (2006–2011), în timp ce supervizează (1 postdoc și 2 MSc). În toamna anului 2015 m-am alăturat Universității „Aurel Vlaicu” din Arad (UAV, Arad, România), și am început să predau în două programe de studii superioare, precum și conducerea unui grant de cercetare de 2 milioane EUR (2016–2021).

Sunt/am fost PI sau co-PI pentru 44 de granturi/contracte în valoare totală de peste 51 M\$ (precum și PI la peste 100 de granturi de călătorie pe termen scurt). The au fost publicate/acceptate rezultatele cercetării: 2 cărți (încă 3 în desfășurare lent), 8 capitole de carte (7 invitate), 20 brevete, 43 de lucrări de reviste (3 invitate) și 225 de lucrări de conferință (28 de invitați și 8 premii pentru cea mai bună lucrare); prezentat de peste 400 de ori (dintre care 220 invitați keynote/tutoriale/prezentări); și citat de 1966 de ori (cu excepția autocitațiilor).

Am fost recenzor pentru Fundația Națională pentru Știință (SUA), Comisia Europeană (UE), precum și pentru fundațiile științifice din România, Belgia, Cipru, Elveția, Emiratele Arabe Unite și pentru multe reviste și conferințe. Am fost editor asociat la IEEE Transactions on Neural Networks (2005–2008), IEEE Transactions on VLSI Systems (2011–2015), Nano Communication Networks (2010–2015) și Frontiers in Neuro Science (2022–...). Am contribuit la organizarea 133

conferințe internaționale și 14 ateliere/sesiuni invitate, a prezidat 67 de sesiuni de conferință și sunt membru senior al IEEE din 1996 (în 1997 am fost președintele de program al Secțiunii IEEE Los Alamos), membru fondator al Societății Europene a Rețelelor Neurale (ENNS) și membru al: Asociației pentru Mașini de Calcul (ACM), International Neural Network Society (INNS) și Asociația UE Marie Curie Fellowship (MCFA). În plus, am fost membru al SRC-NNI Working Group on Novel Nano-architectures (din 2003), al IEEE CS Task Force on Nano-architectures (din 2005) și al IEEE Emerging Technologies Group on Nanoscale Communications (din 2010).

REALIZĂRI „Stim ce suntem, dar nu stim ce putem fi.”		William Shakespeare.			
TOP 2%	• Stanford & Scopus Top 2% oameni de știință •	10.1371/jurnal.pbio.3000918		2020 –...	
DIRECTOR	UAV	NANOART, THUNDER2 Arad	România	2016 – 2024	
DECAN ASOCIAT • UAEU		CIT	Al Ain	2006 – 2011	
SCAUN CE	• UAEU		Al Ain	2005 – 2006	
Frătășii	• Cercetarea trandafirilor	coleg	Dallas, TX	cerb	1999 – 2001
	• Fellow PostDoc al directorului •		Los Alamos, NM SUA		1996 – 1998
	Cercetare individuală HCM Fellow (UE) • Bursier		Londra		1994 – 1996
	de cercetare doctorală		Leuven	Belgia	1991 – 1994
	• Cercetare Fulbright			cerb	1991
doctorat	• Îmbunătățirea complexității dimensiune/adâncime pentru anumite clase de funcții booleene				
SUMA CUM LAUDE • S	-au găsit noi algoritmi constructivi (de învățare) prietenoși cu VLSI (analogi sintezei de tip EDA)				
PUBLICAȚII	• Cărți •	2		(încă 3 în curs)	
	Capitole •	8	7 invitați	(încă 5 în curs)	
	Brevete	20			
	• Lucrări de jurnal (revizuite de colegi)	43	3 invitați	(încă 6 în curs)	
	• Lucrări de conferințe (revizuite de colegi)	225	28 de invitați și 8 premii pentru cea mai bună hârtie		
	• Citate (excluzând auto-citate)	1966			
CONTRACTE	• Granturi/contracte de cercetare •	44			
Peste 51 M\$	Granturi de călătorie pe termen scurt	101			
PREDAREA	• VLSI/Nanoelectronică avansată, ASIC, calcule neuronale, rețele neuronale, arhitectură computerizată				
	• PostDoc (3), doctorat (1), MSc (41)	45	10 UAV, 3 UAEU, 3 WSU, 29 UPB		
CERCETARE	• Arbitru pentru: National Science Foundation USA (28×), Comisia Europeană UE (6×),				
LEGATE	Belgia (2×), Cipru (2×), Elveția (2×), Emiratele Arabe Unite (12×) și România (30×)				
ACTIVITĂȚI	• Revizor pentru: IEEE T. Nanotech., IEEE T. Neural Nets, IEEE T. Comp., IEEE T. Sys. Man & Cyber.,				
	IEEE T. CAD, IEEE T. Design & Test, IEEE T. VLSI, IEEE Access, ACM J. Emerg. Teh., Nanotech.,				
	Rețele neuronale, Rețea neuronală. Lumea, Proc. Lett., Electr. Lett., etc.				
	• Editor asociat (2010 – 2016) • Editor		Rețele de comunicații nano (Elsevier)		
	asociat (2011 – 2015) • Editor asociat		Tranzacții IEEE pe sisteme VLSI		
	(2005 – 2008) • Editor asociat (2020 –		Tranzacții IEEE pe rețele neuronale		
	...) • Editor asociat (2021 – ...) • Editor		Științe aplicate (Springer)		
	asociat (2022 – ...)		Matematică (MDPI)		
			Frontiere în știința neurologică (Frontiers)		

• Premiile pentru cea mai bună lucrare	8	
• Sesiuni/ateliere de lucru invitate	14	
• Articole invitate	3	
• Conferință/plenară în reviste	30	
• Tutoriale invitate	19	
• Prelegeri/seminare invitate	54	
• Prezentări invitate (altele)	119	(din care 46 către industrie)
• Conferințe internaționale organizate	133	
• Sesiuni prezidate la conferințe internaționale	67	

## CALITATEA DE MEMBRU

- Institutul de Ingineri Electrici și Electronici IEEE (Senior Member din 1996), International Neural Network Society (INNS), European Neural Network Society (ENNS, membru fondator), Asociație pentru Computing Machinery (ACM), Asociația UE Marie Curie Fellowship (MCFA)

## DIVERSE • Patru medalii de aur (premiul I) la Olimpiada Națională de Fizică

- Premiul pentru cea mai bună teză de master
- Expert al activității rețelei neuronale artificiale europene (DEANNA)
- Expert al Academiei Române de Științe

## ACTUAL

## CERCETARE

- Activitățile mele actuale de cercetare se concentrează pe nano-arhitecturi, scopul meu principal fiind de a întări cooperarea în domeniul nano-arhitecturii inspirate de bio/creier, de a promova educația și de a genera noi oportunități de finanțare. Speranța mea este ca, prin colaborare directă (sesiuni speciale, vizite, granturi, etc.), numărul experților care se alătură acestor eforturi să crească. Scopul final este [de a avansa: înțelegerea arhitecturilor de activare](#) care să se potrivească cu dispozitive noi (dincolo de CMOS) și schemele lor de comunicare asociate, efectuând cercetări pornind [de la o putere ultra-scăzută](#) circuite inspirate bio/creier cu fiabilitate îmbunătățită până la scară mai mare. sisteme.

EDUCAȚIE	„Abilitatea este de puțină importanță fără oportunități.”		Napoleon Bonaparte.
POSTDOCTORAL			
1996 – 1998	• bursier postdoctoral al directorului LANL		Laboratorul Național Los Alamos
1994 – 1996	• bursier de cercetare individual al capitalului uman și mobilității (HCM) al UE		King's College din Londra
DOCTORAT ÎN	CE/EE	SUMMA CUM LAUDE (CELE MAI MARE ONORURI)	UNIVERSITATEA CATOLICĂ LEUVEN .
1994 MAI	• Teză	Rețele neuronale care folosesc porți de prag a implementărilor lor VLSI eficiente în zonă și timp	O analiză a complexității
1992	– Specializare Examen	Rețele neuronale	INST. UNIV. KURT BÖSCH Certif.
1991	de doctorat	Arhitecturi paralele și avansate	UPB 10/10
1990	Examen de doctorat	Structuri noi VLSI	UPB 10/10
	examen de doctorat	Arhitecturi sistolice și neuronale	UPB 10/10
	examen de doctorat	Complementele matematice	UPB 10/10
1989 MAI	– Examen de admitere doctorat	VLSI Implementări eficiente de arhitecturi paralele	UPB 10/10
MSC ÎN CS/CE	PREMIUL PENTRU CELE MAI TEZĂ		UNIV. "POLITEHNICA" BUCHAREST .
1980 IUNIE	• Teză de master	Acceleratoare grafice paralele de mare viteză	GPA 4.00/4.00 GPA 10/10
1979 DECEMBRIE	• BSc in CE		3.90/4.00 9,76/10
BACALAUREAT	PRIMUL LOC		"TUDOR VIANU" COLLEGE OF IT .
	Diploma de Bacalaureat precizează că sunt „programator și analist asistent software”		
1975 GRE EQUIV.	• Examen final (Bacalaureat)	1975 • Licențiat	GPA 3,84/4,00 9,60/10
(adică, cel mai mare GPA la absolvire)			GPA 3,70/4,00 9,26/10

## ALMA MATERS

- Universitate** – Fondată în 1818, este cea mai mare universitate tehnică din România cu aproximativ 25.000 de studenți  
**“Politehnica” of** (upb.ro). Departamentul de Informatică și Inginerie (CSE) a fost înființat în 1969 (cs.pub.ro)  
**Bucharest** by prof. Mircea Petrescu.
- catolic** – Fondată în 1425, este cea mai veche universitate catolică din Europa de Nord, recunoscută pentru nume precum  
**Universitate** Erasmus, Mercator și Vesalius (www.kuleuven.be), se află în primele 100 de universități din lume (45 în THE, 61 în QS  
**Leuven** – 2024 World University Rankings) și este cea mai mare universitate din Belgia cu peste  
 50.000 de elevi. Departamentul EE a fost fondat în 1900 (www.esat.kuleuven.be).
- a regelui** – Fondată în 1829, este una dintre cele mai mari și mai vechi din Londra (www.kcl.ac.uk), cu aproximativ 27.000  
**Colegiu** studenți și se află în primele 100 de universități din lume (38 în THE, 40 în QS – 2024 World University  
**Londra** Clasamente). Departamentul de Matematică (www.kcl.ac.uk/mathematics) a primit cel mai mare rating la Exercițiul de  
 evaluare a cercetării, fiind un „centru de excelență”. Centrul pentru Rețele neuronale a fost coordonatorul Rețelei de  
 excelență a rețelelor neuronale europene.

## REALIZĂRI

- Prof. Mircea** – Fondator al Departamentului CSE, viceprovost, și director al Centrului de calculatoare, secretar de stat  
**Petrescu** al Guvernului României, precum și profesor invitat la Universitatea din California la  
 Berkeley (SUA) și la Universitatea din Grenoble (Franța). A fost vicepreședinte al României  
 Academia de Științe Tehnice și este membru de onoare al Academiei de Științe din România. A publicat peste 120 de  
 articole și 8 cărți. [ro.wikipedia.org/wiki/Mircea\\_Petrescu](http://ro.wikipedia.org/wiki/Mircea_Petrescu)
- Prof. Joos** – A fost prodecan, profesor invitat la Universitatea din California din Berkeley (SUA), președinte al Departamentului de EE  
**Vandewalle** și titular al catedrei Francqui privind rețelele neuronale la Universitatea din Liege  
 (Belgia). A fost ales Fellow IEEE în 1992 și Fellow IEE în 1998 și a fost Vicepreședinte pentru Regiunea 8 al IEEE Society on  
 Circuits & Systems și coordonatorul Centrului pentru Neural Networks (Belgia). A publicat peste 600 de articole și 18  
 cărți. [www.esat.kuleuven.be/stadius/person.php?id=18](http://www.esat.kuleuven.be/stadius/person.php?id=18)
- prof. Ioan** – A fost director al Centrului pentru Rețele Neurale și Președinte al International Neural  
**G. Taylor** Societatea de rețea. A ocupat funcții la: Institute of Advanced Study, Princeton (SUA); Institut des Hautes Etudes, Paris  
 (Franța); Christ College, Cambridge (Marea Britanie); Institutul de Matematică, Oxford  
 (Marea Britanie); Departamentul de Fizică, Southampton (Marea Britanie); Queen Mary College, Londra (Marea Britanie); Universitatea Rutgers,  
 New Jersey (SUA). A publicat peste 400 de articole și peste 20 de cărți.  
[en.wikipedia.org/wiki/John\\_G.\\_Taylor](http://en.wikipedia.org/wiki/John_G._Taylor)

POSTURI DETUTATE	DATE	INSTITUȚIE	ADRESA
PROFESOR	09/2015 –	“Aurel Vlaicu” University Facultatea de Științe Exacte	2-4 Elena Dragoi Str. RO-310330 Arad, Romania
Profesor	08/2008 – 08/2015	Universitatea din Emiratele Arabe Unite	Campusul Maqam, Bldg. E1
Asociat Decan	08/2006 – 08/2011	Facultatea de IT	PO Box 15551, Al Ain, Emiratele Arabe Unite
Scaun CE	07/2005 – 08/2006		
Vizitare	03/2005 – 08/2011	Universitatea din Ulster	Londonderry, Marea Britanie
Profesor	07/2003 & 08/2004 & 07/2002 & 04/2008	Institutul Heinz Nixdorf Los Alamos National Lab. Divizia teoretică	Paderborn, Germania MS 319, Los Alamos NM 87545, SUA
Asociat	06/2001 – 06/2005	Universitatea de Stat din Washington.	Spokane 102, Pullman
Profesor		Școala EECS	WA 99164, SUA

Co-fondator	• 05/1998 –	RN2R LLC	Merit Drv.12750, #1020
CTO/Fellow	09/1998 – 05/2001	Cercetarea Trandafirilor	Dallas, TX 75251, SUA
Al directorului	10/1996 – 08/1998	Laboratorul Național Los Alamos.	MS D466, Los Alamos
Fellow PostDoc		Divizia NIS	NM 87545, SUA
EU HCM	12/1994 – 09/1996 Rez. coleg	King's College din Londra	Strand, Londra
		Centrul pentru rețele neuronale	WC2R 2LS, Marea Britanie
Res. Fellow	05/1994 – 11/1994 doctorat	Univ. Catolică Leuven EE	Parcul Castelului Arenberg 10
cand.	11/1991 – 05/1994	Dept., ESAT-ACCA	Leuven, B-3001 Belgia
Co-fondator	• 04/1990 –	SPRING Software Consult SRL B-dul. Magheru 20, Bucuresti	
Președinte	04/1990 – 08/1991		RO-10721, Romania
Senior Lect.	01/1990 – 06/2001 Asist. Prof.	Univ. "Politehnica" of	Spl. Independentei 313, Bucharest
	01/1983 – 12/1989	Bucuresti, CSE Dept.	RO-10334, Romania
Senior Res.	09/1981 – 01/1983 Rez. ing.	Institutul de Cercetare pentru	Cl. Floreasca 167/9, Bucharest
	09/1980 – 08/1981	Tehnici computerizate	RO-14459, Romania

#### PREDAREA

„Îmi place să învăț, dar nu îmi place să fiu învățat”

Winston Churchill.

**Predau/predau din 1981.** Între 1981 și 1983 predau cu jumătate de normă, în timp ce din 1983 predau cu normă întreagă la Catedra de Informatică și Inginerie (CSE) a Universității „Politehnica” din București (UPB) : asistent universitar (1983–1990) și lector superior (1990–2001). Între 1984 și 1991 am supravegheat 29 de candidați la master. Între 2001 și 2005, am fost la Școala de Inginerie Electrică și Științe Calculatoare (EECS), Universitatea de Stat din Washington (WSU), unde am supervizat 2 MSc și 1 doctorat și am contribuit la obținerea acreditării ABET a programului nou format de Inginerie Calculatoare. În 2005 m-am alăturat Colegiului de Tehnologia Informației (CIT), Universitatea din Emiratele Arabe Unite (UAEU), precum și profesor invitat la Universitatea din Ulster (UU). La UAEU am contribuit la acreditarea ABET a CIT, care a început să ofere MSc în toamna anului 2013. De aceea, de la aderarea la UAEU (în 2005), supravegherea mea de absolvent a fost limitată: invitații la 8 comisii de evaluare a doctoratului, supervizarea a 2 MSc, și consiliere 1

PostDoc. Din toamna anului 2015 sunt implicat în două programe postuniversitare oferite de Universitatea „Aurel Vlaicu” din Arad (UAV) după ce a consiliat 8 MSc și a supravegheat 2 PostDocs. În plus, am susținut 19 tutoriale invitate și 54 de prelegeri invitate.

CURSURI PREDATE/DEZVOLTATE	DIN UPB	WSU	UAEU	UAV
<b>LICENȚĂ</b> – Testare hardware și toleranță la erori		2013		
– Responsabilitate profesionala in IT		2012		
– Arhitectură avansată de computer		2006		
– ASIC și sisteme digitale/VLSI Design		2001	WSU UAEU	
– Introducere în algoritmi/programare	1984 UPB			UAV
– Arhitectura calculatoarelor digitale	1983 UPB		UAV UAEU	
– Analiza și Sinteza Circuitelor Digitale	1981 UPB			
<b>ABSOLVENT</b>				
– Fundamentele Neuro-Bio		2015		UAV
– Metode de cercetare în IT		2011		UAV UAEU
– VLSI/Nanoelectronică avansată		2004	WSU	
– calcule neuronale		2003	WSU	UAV
– Rețele și aplicații neuronale	1990 UPB	WSU		UAV
– VLSI/Design de circuit inteligent	1983 UPB	WSU		UAV
– Arhitectură avansată de computer	1983 UPB			
– Testare și evaluare a performanței	1982 UPB			

**EVALUAREA ELEVILOR.** • În mod constant mai mare (medie 4,65/5,00) decât colegiul (CIT 4.48/5.00) și universitatea (UAEU 4.41/5.00)

	SUPRAVEGHERE	UAV (10), UAEU (3), WSU (3), UPB (29) .	
2024	45 - Proiectarea rețelelor neuronale folosind memristori	Valentin Puiu	MSc
2022	44 - Modele optime pentru recunoașterea emoțiilor	Vladlena Parolea	MSc
2020	43 - Investigații în stadiu incipient folosind IBM Quantum Experience	Daniel-Tiberiu Patca	MSc
	42 - Importanța sistemelor de recomandare	Roland-Norbert Kirch	MSc
	41 - Testarea fiabilității circuitelor cuantice repetitive	Florin-Daniel Morar	MSc
2018	40 - Utilizarea învățării profunde pentru analiza datelor	Ionel Mazilu	MSc
	39 - Despre fiabilitatea rețelelor critice	Dan-Cristian Pascu	MSc
	38 - Spirale Fibonacci 3D	Beniamin-Otniel Voian	MSc
	37 - Optimizarea rețelelor cu două terminale folosind compoziții	Vlad Dragoi	PostDoc
2017	36 - Rețele de hamac și generalizări	Simon R. Cowell	PostDoc
2013	35 - Analize Monte Carlo ale XOR-2 în PTM 22/16nm (BITS Pilani)	Nilay V. Acharya 34	MSc
	- Monte Carlo Analyses of MAJ-3 in 22/16nm PTM (BITS Pilani) Jithu Lissi Raju 33 - Brain-inspired		MSc
2012	Interconnects for Nanoelectronics Pietro Santagati		PostDoc
2004	32 - Proiectarea și analiza SET: Porți și circuite inspirate de neuroni Mawahib H. Sulieman PhD		
	31 - Optimizarea performanței frecvenței digitale directe David Betowski MSc		
	Sintetizatoare pentru comunicații wireless de putere redusă		
2003	30 - Aproximații precise sinusoidale cu resurse reduse	Pao-Shu Wu	MSc
1991	29 - Simulator pentru structura Minterm implicită	Simona Ivanov	MSc
1990	28 - Set de funcții C pentru simularea proceselor paralele	Dinu Creteanu	MSc
	27 - Interfață grafică pentru un simulator de rețea neuronală	Dan Stoicescu	MSc
	26 - Pachetul software pentru microbusiness	Anca Costin	MSc
	25 - Unitatea logică aritmetică a rețelelor neuronale	Yousuf Basmark	MSc
	24 - Arhitectura paralelă VLSI pentru modificarea histogramei	Aida Gheorghiu	MSc
	23 - Boltzmann Machine Simulator	Mihaela Dumbrava	MSc
	22 - Soluții de rețea neuronală la problemele de optimizare	Orest Robciuc	MSc
	21 - Detectarea mișcării folosind rețele neuronale	Anca Sigala	MSc
	20 - Pachetul CAD VLSI îmbunătățit	Daniel Mandu	MSc
1989	19 - Recunoașterea caracterelor folosind rețele neuronale	Abdul Nehad	MSc
	18 - Sistemul expert medical al rețelei neuronale	Sima Gheorghita	MSc
	17 - Lecție animată VLSI pentru PC	erban Benone	MSc
1988	16 - Simulator de rețea neuronală	Sobhui Darwish	MSc
1987	15 - Instrument CAD VLSI: Locație și traseu	Anca erban	MSc
	14 - Instrument CAD VLSI: Aspect interactiv	Mariana Mirea	MSc
1986	13 - Interfață computer pentru o unitate principală magnetică rotativă	Sorinel Ciobanu	MSc
	12 - Instrument CAD pentru segmentarea imaginilor digitale	Cornelia Cioținga	MSc
	11 - Instrument CAD pentru îmbunătățirea imaginii digitale	Mihai Dinu	MSc
1985	10 - Coprocesor sistolic cu virgulă mobilă: multiplicare și divizare	Eugen Pashol	MSc
	9 - Coprocesor sistolic cu virgulă mobilă: adunare și scădere	Liviu Zuzu	MSc
	8 - Unități aritmetice de ultra mare viteză VLSI	Marius Ionescu	MSc
	7 - Multiplicator de date seriale dedicat	Daniel Manica	MSc
	6 - Circuite sistolice pentru convoluție	Anca Tanga	MSc
	5 - Un studiu al rețelelor de permutare pentru implementarea VLSI	Sorin Tene	MSc
1984	4 - Sistemul expert de verificare a regulilor VLSI	Manuela Anton	MSc
	3 - Unități aritmetice de mare viteză	Bianca Tudor	MSc
	2 - Memorie RAM/CAM autotestabilă	Cristina Bor	MSc
	1 - Circuit de corelare autotestabil și auto-reparabil	Irina Manole	MSc

## PLANURI

## PENTRU DEZVOLTAREA CURSULUI

VLSI AVANSAT / • Nano-dispozitive noi, stiluri de design noi, îmbunătățiri ale fiabilității și calculatoare reconfigurabile

NANOELECTRONICA Exemple [http://bwrcs.eecs.berkeley.edu/Classes/icdesign/ee241\\_s13/](http://bwrcs.eecs.berkeley.edu/Classes/icdesign/ee241_s13/)

<http://www.cisl.columbia.edu/courses/spring-2002/ee6930/reader.html>

<http://www.ece.unm.edu/~jimp/vlsiII/index.html>

## ELECTRONIC

• Acest curs poate precede [VLSI/NANOELECTRONICA AVANSATĂ](#)

NANOTEHNOLOGIE Exemple <https://nanohub.org/courses/>

<http://www-2.cs.cmu.edu/afs/cs/academic/class/15849c-s02/www/schedule.htm>

<https://web1.eng.famu.fsu.edu/~mpf/PhysLim/>

## CUANTIC

• S-ar putea baza pe 14 seminarii pe care le-am susținut la UAV (în perioada 2019-2020)

## CALCULATĂ

Exemple <https://learn-xpro.mit.edu/quantum-computing>

[http://www.quiprocone.org/Protected/DD\\_lectures.htm](http://www.quiprocone.org/Protected/DD_lectures.htm)

<https://ocw.mit.edu/courses/mathematics/18-435j-quantum-computation-fall-2003/>

## DIGITAL

• Algoritmi și hardware clasic de pontare a cursurilor; Plănuiesc să folosesc cărțile lui Ercegovic & Lang

## CALCULATOR

[http://www.cs.ucla.edu/digital\\_arithmetic/](http://www.cs.ucla.edu/digital_arithmetic/) și Koren <http://www.ecs.umass.edu/ece/koren/arith/>

## ARITMETICĂ

Exemple <http://web.cs.ucla.edu/~milos/CSM51A-F19-Syllabus.pdf>

<http://web.cs.ucla.edu/~milos/CS252A-W20-Syllabus.pdf>

<https://www.epfl.ch/labs/lap/courses/> [„Computer Arithmetic” nu mai este activ]

<https://scholar.google.com/citations?user=1A4y8RcAAA>

## BIO-/CREIER-

• Acest curs va continua să acopere diferența dintre digital și analogic, precum și calculul paralel și neuronal

## INSPIRAT

arhitecturi, învățare și compromisuri putere-fiabilitate-design de comunicare

## COMPUTARE &amp;

Exemple <http://www.ece.jhu.edu/~andreu/761/> & <http://www.ece.jhu.edu/~andreu/762/>

## COMUNICAȚII

<http://seunglab.org/courses/>

## CERCETARE

„Nu pierde niciodată o curiozitate sfântă.”

Albert Einstein.

## EXPERIENȚĂ

• Am fost implicat în cercetare de peste 40 de ani, deținând funcții de conducere de peste 25 de ani ani și funcții executive de peste 15 ani.

## EXPERTIZĂ

• Expertiza mea cuprinde o gamă largă de domenii, pornind de la complexitatea circuitului/VLSI, trecând prin teoria informației, tehnici de optimizare și calcule neuronale, la VLSI/nanoelectronică și circuite și sisteme adaptive/reconfigurabile.

## INTERESE

• Îmi place să iau concepte abstracte pentru aplicații dificile, dar practice, să le transform în eficiente algoritmi și apoi proiectați circuite VLSI inovatoare care le execută în mod optim (de exemplu, la ultra-înalt viteze, cu putere/energie foarte scăzută, foarte fiabile etc.). Sunt extrem de interesat de nanoelectronică emergentă în special de nano-arhitecturile inspirate de bio/creier (masiv paralele, adaptive/reconfigurabile, tolerante la erori, folosind scheme de comunicare alternative) și de designurile lor optimizate inspirate de matrice (de exemplu, biologice/canale ionice, celulare, sistolice).

## SEMNICIFATIV

## CERCETARE

## REZULTATE

## (PRIMUL VODATA)

• Avansarea înțelegerii calculelor și comunicațiilor fiabile • Generalizări ale plaselor de hamac la 3D (asemănătoare rețelelor de transport axonal) • Energetica comunicării neuronale (peste 103 × energie mai mică decât CMOS) • Fiabilitatea plaselor de hamac (peste 1010 × mai bună decât von Neumann) multiplexare) • Au raportat cele mai bune limite inferioare și superioare pentru sisteme consecutive-k-out-of-n • Proiectat circuite hibride NEMS-CMOS de putere ultra-scăzută • Porți/circuite de declanșare Schmitt analizate (performanțe vs. aplicații) • Monte detaliat și precis Simulări Carlo folosind modele tehnologice predictive • Circuite CMOS de înaltă fiabilitate și de putere redusă, bazate pe o nouă dimensiune care permite dimensionarea tranzistoarelor

2017 –  
2017 –  
2015 –  
2015 –  
2014  
2014  
2013  
2013

• Rețele bio-inspirate de putere redusă și foarte fiabile pentru comunicare și calcul • Schemă de redundanță inspirată de axon (103 × mai bună decât multiplexarea von Neumann) • Instrument Bayesian EDA pentru estimări foarte precise de fiabilitate (dispozitive, vectori de intrare, fire) • Introduș și multiplexarea NOR-2 von Neumann evaluată • Fiabilitatea estimată a firelor datorită zgomotelor intrinseci (împușcat, termice) • A folosit regula Rent pentru a explica structurile coloanei ale creierului (rețele ierarhice optime) • Dispozitivele și vectorii de intrare sunt mai importanți decât porțile (când se evaluează fiabilitatea) • A arătat că arhitecturile conectate în serie sunt optime pentru nanoelectronica	2010 2009 2009 2010 2009 2007 2007
• Proiectat și simulat porți și circuite de tranzistor cu un singur electron luând în considerare variațiile	2005
• Proiectat și simulat cel mai mare circuit de tranzistor cu un singur electron în	2004
• Calcule exacte ale fiabilității multiplexării von Neumann (nivel de poartă) • Arhitecturi noi, foarte fiabile și cu putere redusă, conectate local • DDFS liniar, neliniar și hibrid, fără ROM, fără zgomot, rezistent la zgomot (perceptroni cu cronometrare automată, reciclare a încărcăturii, sub-prag) • Sumatoare de performanță ultra-înaltă proiectate folosind porți de prag ponderate Fibonacci • A demonstrat că rețelele neuronale artificiale mai adânci și mai rare sunt optime VLSI • Cele mai bune/mai strânse limite de complexitate a circuitului pentru feed-forward calcule neuronale • A propus o versiune continuă a mașinii Boltzmann • Unitățile autotestabile și auto-reparabile sunt o necesitate pentru VLSI	2004 2004 2003 2000 1999 1997 1994 1992 1984

## ISTORIC

1979 – 1989	<ul style="list-style-type: none"> <li>• Cercetarea mea s-a concentrat pe VLSI digital, și în special pe: unități de procesare de mare viteză (ALU), memorii inteligente (de exemplu, conținut adresabil, procesare set, ierarhice, auto-testabile), matrice obișnuite (de exemplu, sistolice, celulare). Pe aceste subiecte am publicat aproximativ 20 de lucrări. Din 1985 Am început să caut în rețelele neuronale. Această schimbare de interes a fost marcată în mod clar de lucrarea „From Systolic Arrays to Neural Networks”, Scientific Annals of Al. I. Cuza Univ., 35(4):375–385, 1989 (J3).</li> </ul>
1985 – 1992	<ul style="list-style-type: none"> <li>• Am „învățat” despre rețelele neuronale, am publicat despre capacitățile acestora (pentru îmbunătățirea și recunoașterea imaginii ) și am cercetat mașinile Boltzmann introducând noul concept a unei mașini Boltzmann continue (C28). Pe aceste subiecte am publicat aproximativ 10 lucrări.</li> </ul>
1992 – 2002	<ul style="list-style-type: none"> <li>• Am lucrat la implementări hardware/VLSI ale porților logice de prag (perceptroni). Pe aceste subiecte am publicat aproximativ 80 de lucrări. Această direcție de cercetare poate fi împărțită în: <ul style="list-style-type: none"> <li>– algoritmi constructivi de învățare (echivalentul sintezei CAD/EDA, de ex., bazat pe descompunerea funcțiilor, folosind entropia setului de date, pe baza suprapunerilor lui Kolmogorov etc.);</li> <li>– probleme de complexitate circuit teoretic /VLSI ;</li> <li>– implementări hardware (de exemplu, maparea pe FPGA);</li> <li>– Implementări VLSI (de exemplu, de mare viteză, putere redusă, fiabilitate îmbunătățită, imunitate la zgomot).</li> </ul> </li> </ul>

## DIN 2003

- M-am concentrat pe nano-arhitecturi. Pe această temă am publicat aproape 200 de lucrări:
  - putere ultra scăzută și fiabilitate îmbunătățită (porți, circuite și sisteme);
  - de la multiplexarea von Neumann la noi scheme de redundanță bazate pe matrice (de exemplu, inspirate de axoni);
  - topologii/rețele de interconectare optimă ierarhică inspirată de creier;
  - analize de fire și paradigme alternative de comunicare.

## REZULTATE

• Finanțat	44 granturi/contracte de cercetare și 101 granturi de călătorie pe termen scurt	51 M\$
Publicat	2 cărți, 8 capitole, 20 brevete, 43 reviste, 225 conferințe	
Invitat	30 de note cheie, 19 tutoriale, 54 de prelegeri, 119 prezentări (dintre care 46 pentru industrie)	
Citat	De 1966 de ori (cu excepția autocitarilor) – numărat manual (disponibil la cerere)	
Organizat	133 conferințe, 67 sesiuni prezidate	



## PROIECTE DE CERCETARE/GRANTURI (ATRIBUIT, DIRIGIAT, ETC.)

Având în vedere	– EDA pentru NEMS și Reliability-Optimal CMOS-Tranzistor Sizing (EDA-ROCS) Cu W. Ibrahim (UAEU) și T.-J. Regele Liu (UC Berkeley)	CO-PI	
	– Arhitecturi ultra-fiabile bazate pe matrice pentru CMOS și nu numai (URA2) Cu L. Anghel (INP Grenoble), Fundația NanoSciences	PI	1 milion de euro
	– Arhitecturi noi de inspirație biologică pentru nano-dispozitive (NBAD) Cu G. Fettweis (TU Dresden), EU ERC Advanced	PI	3 milioane de euro
2021 – 2024	• Tehnici de nanoproiectare neconvențională în domeniul fiabilității energetice la 01/09/2021 (contract PCE nr. 238/07.04.2021) V. Dragoi (UAV), S. Cowell (UAV), R. Beiu (UAV), L. Daus (UTCB), M. Jianu (UTCB), M. Tache (UPB)	Început	MAI MULT DE 1,2 MRON
TUNET2		PN-III-P4-ID-PCE-2020-2495	
2022	• Granturi de călătorie pe termen scurt (invitat): ICCCC'22 (500 USD)		0,5K\$
2020	• Granturi de călătorie pe termen scurt (invitat): ICCCC'20 (500 USD), SOFA'20 (300 USD)		0,8K\$
2019	Granturi de călătorie pe termen scurt (invitat): ECC'19 (300 USD)		0,3 mii USD
2018	• Granturi de călătorie pe termen scurt (invitat): ICCCC'18 (800 USD), SOFA'18 (600 USD)		1,4 K\$
2016 – 2021	• Nano-arhitecturi celulare bio-inspirate BioCell-NanoART Cu V.-F. Duma (UAV), F.-D. Munteanu (UAV), C. Stoica (UAV), P. Gaspar (UAV), VE Balas (UAV), M. Balas (UAV), A. Cavaco-Paulo (U Minho), L. Daus (UTCB)		PI 9.3MRON
		POC-A1-A1.1.3-E nr. 30/2016	
2016	– Granturi de călătorie pe termen scurt (invitat): ICCCC'16 (500 USD), SOFA'16 (500 USD) IEEE-NANO'16 (1.000 USD)		2K\$
2014 – 2016	– Centrul de excelență ATIC-SRC în sisteme electronice eficiente din punct de vedere energetic (ACE4 S) Sarcină: Amplificatoare FinFET digitale sub prag de putere ultra-scăzută Inițial cu G. Fettweis (TU Dresden) și M. Alioto (Natl. U Singapore) <a href="https://www.src.org/newsroom/press-release/2013/452/">https://www.src.org/newsroom/press-release/2013/452/</a>		CO-PI 35MAED
ULP-DigiFinA		SRC GRC ACE4 S	
2013 – 2016	– Consolidarea colaborărilor de cercetare în CO-PI cu impact ridicat și emergente Tehnologii între GCC și UE EU EM 545790-EM-1-2013-1-UK-ERA MUNDUS-EMA22 Cu B. Aziz M. Rahman PI (City U London), G. Cuniberti (TU Dresden), V. Hessel (TU Eindhoven), O. Benitez (U Deusto), P. Candeloro (U Magna Graecia), C. Themistos (Frederick U), H. Bourdoucen (Sultan Qaboos U), F. Bou-Rabee (Kuweit U), SA Al-Mansoori (U Bahrain), F. Kharbash (UAEU)		1,23 M€
SECRET			
2012 – 2015	– Synaptic Molecular Networks for Bio-inspired Information Processing Cu G. Wendin PI (Chalmers U), D. Vuillaume (CNRS-IEMN), J. Roncali (CNRS-MOLTECH), M. Calame (Basel U), S. Yitzchaik (HUJI), C. Gamrat (CEA) și G. Cuniberti (TU Dresda)		CO-PI 2,81 M€
SIMON		EU FP7-ICT-318597	
2012 – 2014	– Dimensionare neconvențională pentru a permite proiectarea digitală cu putere redusă Cu M. Alioto (U Siena/Natl. U Singapore), A. Beg (UAEU), W. Ibrahim (UAEU) și F. Kharbash (UAEU)		PI 200K\$
Folosește-LP		SRC 2012-TJ-2332	
2011 –	• Arhitecturi non-booleene specifice aplicației cu putere ultra scăzută [Intel Co] Cu Intel PI, D. Hammerstrom (Portland State U), W. Porod (U Notre Dame), SP Levitan (U Pittsburgh), T. Shibata (U Tokyo), T. Roska (maghiară Acad. Sci.), M. Pufall (NIST), D. Weistein (MIT) și MR Stan (U Virginia)		CO-PI 1 M\$
ULP-NBA		URO 2011-05-24G	
2011 – 2015	– NEMS-CMOS cu putere ultra scăzută		PI 300K\$
ULP-NEMS-CMOS	Cu T.-JK Liu (UC Berkeley), W. Ibrahim (UAEU) și A. Beg (UAEU) 2011 – 2013		SRC 2011-HJ-2184
	– Interconexiuni inspirate de creier pentru nanoelectronică (BiIN) Cu W. Ibrahim (UAEU) [UAE Natl. Res. Găsit.]		PI 586KAED
			NRF 1108-00451
2011 – 2013	– Algoritmi și EDA pentru calcule precise de fiabilitate a nano-circuitelor (CREDA2) Cu W. Ibrahim PI (UAEU) [UAE Natl. Res. Găsit.]		CO-PI 506KAED
			NRF 1108-00329
2013	– Granturi de călătorie pe termen scurt (invitat): TUDresden (7.000 USD)		7K\$

2012	- Granturi de călătorie pe termen scurt (invitat): EDCC'12 (1.000 USD)		1K\$
2011	- Granturi de călătorie pe termen scurt (invitat): IEEE-NANO'11 (500 USD), UE Bruxelles (8.000 USD), UE Paris (5.000 USD), NSF (5.000 USD), ATIC-SRC (US \$ 10.000)		28.5K\$
2011 - 2012	- Topologii hibride inspirate de creier pentru nano-arhitecturi [SRC 2011-RJ-2150G]	PI	40K\$
2010	- Granturi de călătorie pe termen scurt (invitat): IDT'10 (500 USD), IJCNN'10 (1.500 USD), INC6 (1.000 USD), MEES'10 (3.000 USD)		6.000 USD
2009 - 2011	- Interconexiuni inspirate de creier pentru nanoelectronică [British Council PMI2 RCGS271]	PI	39KUK£
2009 [în așteptare]	- Centrul Emirates pentru Nanoștiință și Nanoinginerie [UAE Natl. Res. Găsit.]	Co-PI	50MAED
2009	- Granturi de călătorie pe termen scurt (invitat): UE (7.000 USD), U Oslo (5.000 USD), IEEE-NANO'09 (1.000 USD), ESSCIRC'09 (1.500 USD), NanoNet'09 (SUA 1.000 USD), WDSN'09 (5.000 USD)		20.5K\$
2008	- Granturi de călătorie pe termen scurt (invitat): NSF (5.000 USD), LANL (2.000 USD), SAMOS VIII (5.000 USD), Tohoku U (10.000 USD), U Paris-Sud (3.000 USD), U Oslo (5.000 USD)		33K\$
2007	- Granturi de călătorie pe termen scurt (invitat): NSF (5.000 USD), UE (8.000 USD), HP Labs (6.000 USD), FENA/UCLA (1.000 USD), ULSIWS'07 (400 USD), ISMVL'07 (1.000 USD), SHARCS'07 (2.000 USD), DTIS'07 (3.000 USD), DCIS'07 (3.000 USD), IECON'07 (3.000 USD), Tohoku U (5.000 USD), MWSCAS'07 (1.000 USD), IEEE-NANO'07 (1.000 USD), ICSPC'07 (500 USD), ICTRF'07 (500 USD), IDT'07 (500 USD), IWANN'07 (5.000 USD), NanoMaterials'07 (500 USD), Univ. Oslo (5.000 USD)		51,4 mii USD
2006 - 2011	- Centrul de excelență în sisteme inteligente [InvestNI, IDF și U Ulster] Centrul pentru Nano-Arhitecturi de inspirație neuronală (~1,8MUKE, 2007-2010)	Co-PI	20,4 MK GBP
2007	- Maparea metodei proxel la analiza de fiabilitate a nanoarhitecturii [UAUEU]	Co-PI	8KAED
2006	- Granturi de călătorie pe termen scurt (invitat): NSF (5.000 USD), WNEC'06 (2.500 USD), IDT'06 (500 USD), AICCSA'06 (500 USD)		8.5K\$
2006	- Investigarea fiabilității porților și circuitelor tehnologiei cu un singur electron [UAUEU]	Co-PI	8KAED
2005	- Granturi de călătorie pe termen scurt (invitat): ICM'05 (3.000 USD), U Ulster (9.000 USD), SNB'05 (SUA 3.000 USD), IIT'05 (1.000 USD)		16K\$
2005 - 2006	- Calcul de înaltă performanță și putere redusă, tolerant la defecte, cu circuite moleculare hibride CMOS [Agenția de cercetare și dezvoltare avansată, ARDA]	Co-PI	100K\$
2004	- Granturi de călătorie pe termen scurt (invitat): ASAP'04 (500 USD), NGCM'04 (1.000 USD), IJCNN'04 (500 USD), Heinz Nixdorf Inst. (1.500 USD)		3,5K\$
2003	- Granturi de călătorie pe termen scurt (invitat): MWSCAS'03 (500 USD), ICNNSP'03 (500 USD), NIPS'03 (500 USD), U Paderborn (1500 USD), IJCNN'03 (SUA 500 USD), IWANN'03 (500 USD), NCI'03 (500 USD), Heinz Nixdorf Inst. (2.000 USD)		6.5K\$
2002 - 2004	- Sintetizoare digitale directe de frecvență (DDFS) pentru sisteme de comunicații reconfigurabile Co-PI urile au fost investigate și implementate în silicon-on-insulator (SOI) și CMOS pentru aplicații spațiale [Air Force Research Lab/CDADIC]	DDFS-	250K\$
2002	- Grant de călătorie pe termen scurt (invitat): LANL, Los Alamos (5.000 USD)		5K\$
2001	- Grant de călătorie pe termen scurt (invitat): Berkeley Wireless Research Center (4.000 USD)		4K\$
2000 - 2003	- Efectuarea cercetărilor asupra unităților în virgulă mobilă (FPU) ultra-rapide și cu putere redusă, cu aplicații pentru acceleratoare grafice și stații de lucru pentru jocuri [Rose Research]	PI	500K\$
2000 - 2003	- Evaluarea/examinarea soluțiilor pentru codificare/decriptare ultra-rapidă, cu putere redusă, care permite pentru cripto-procesoare VeloCypher™ cu viteză de fir (de exemplu, din mers) [Rose Research]	PI	500K\$
1999 - 2005	- FastLogic a fost pionierat, o tehnologie VLSI care se bazează pe porți logice ultra-rapide și o metodologie sistematică de proiectare pentru utilizarea acestora. Putere scăzută a fost realizată prin intermediul unor noi mecanisme de oprire automată, precum și circuite diferențiale (reciclare a încărcăturii). Au fost simulate, testate și brevetate mai multe versiuni de porți FastLogic (în perioada 1999-2001). Ultra-scăzut versiunile sub prag de putere au fost, de asemenea, proiectate folosind un schemă cuplată adaptivă de polarizare a corpului pentru creșterea fiabilității. [Cercetarea trandafirilor]	PI	3 M\$

1999 – 2002	– Explorarea alternativelor și îmbunătățirea înmulțirii ultrarapide de putere redusă și multiplicare- acumulare cu aplicarea la procesarea semnalului digital [Rose Research]	PI	1 M\$
1999	– Grant de călătorie pe termen scurt (invitat): AMS-SMM'99 (500 USD)		0,5K\$
1998 – 1999	– Suprațoare VLSI ultra-rapide cercetate, analizate și îmbunătățite. Rezultatele teoretice obținute au fost verificate și brevetate. [Cercetarea trandafirilor]	PI	500K\$
1998	– Granturi de călătorie pe termen scurt (invitat): NC'98 (500 USD), CNRS-Paris (1.000 USD), PARELEC'98 (500 USD), EIS'98 (1.000 USD)		3.000 USD
1997	– Granturi de călătorie pe termen scurt (invitat): SBRN'97 (5.000 USD), IDIAP, Elveția (2.000 USD), Heinz Nixdorf Inst. (1.500 USD), U Paris XII (1.000 USD), Royal Holloway U (1.000 USD), Oxford U (1.000 USD), NEuroTop'97 (600 USD)		12,1 mii USD
1996 – 1998	– Field Programmable Neural Arrays (FPNA) ca componentă a sistemelor de procesare adaptive implementabile (DAPS) [Los Alamos National Lab ]	PI	180K\$
1996	– Granturi de călătorie pe termen scurt (invitat): ANITA'96 (1.500 USD), SBRN'96 (2.500 USD), AT'96 (500 USD)		4,5K\$
1995	– Granturi de călătorie pe termen scurt (invitat): ADT'95 (500 USD)		0,5K\$
1994 – 1996	– Rețele neuronale programabile, proiectare și implementare VLSI a rețelelor neuronale Utilizarea porților de prag [EU CHBICT941741]	PI	440K\$
1994	– Granturi de călătorie pe termen scurt (invitat): ConTI'94 (300 USD), EMCSR'94 (300 USD), RRCS'94 (500 USD)		1,1 K\$
1993	– Granturi de călătorie pe termen scurt (invitat): ROSYCS'93 (300 USD), ESSAN'93 (600 USD)		0,9 K\$
1992	– Grant de călătorie pe termen scurt (invitat): EPFL (500 USD)		0,5K\$
1991	– Granturi de călătorie pe termen scurt (invitat): ICIAM'91 (1.500 USD), ICANN'91 (1.500 USD)		3.000 USD
1990 – 1991	– Am negociat, câștigat, gestionat și coordonat contracte Spring Software Consult » En/Decriptare și GUI dedicate [Ministerul Apărării Naționale] » Training CAD (prelegeri) [AVERSA SA] » Pachetul software pentru microbusiness [Institutul de Cercetare Chimie] » Pachetul CAD de achiziție de date [Institutul de Cercetare în Chimie] » Instruire PC (prelegeri) [Ministerul Apărării Naționale]	PI PI Co-PI PI PI	20K\$ 5K\$ 10K\$ 10K\$ 5K\$
1990	– Grant de călătorie pe termen scurt (invitat): PARCELLA'90 (300 USD)		0,3 mii USD
1988	– Sistem dedicat watch-dog: studiu de fezabilitate și analiză de fiabilitate [Institutul de rețele electrice]	PI	50K\$
1987 – 1988	– Studiat și analizat Prolog ca instrument de cercetare pentru simulări de circuite [UPB]	Co-PI	
1987	– Grant de călătorie pe termen scurt (invitat): ComEuro'87 (400 USD)		0,4K\$
1987	– Pachet de baze de date dedicate [Institutul Național de Informații și Documentare]	PI	50K\$
1987	– Memorie ierarhică de autotestare și auto-reparare a conținutului adresabil [UPB] – Circuit în cascadă de antialiasing de mare viteză [UPB]	PI PI	50K\$ 50K\$
1984 – 1987	– Pachetul VLSI CAD (versiunea PC) [UPB] – Sortator automat de rulmenti conici [Fabrica de rulmenti Alexandria, acum Koyo]	PI PI	100K\$ 100K\$
1983	– Circuit de excludere reciprocă (patentat) [Institutul de Cercetare pentru Tehnici Calculatoare] – Interfață de dischetă [Institutul de Cercetare pentru Tehnici Calculatoare]	PI PI	
1981 – 1982	– Unitate cu virgulă flotantă de foarte mare viteză. Noi algoritmi îmbunătățiți cu inovații la nivel de microprogramare [Institutul de Cercetare pentru Tehnici Calculatoare]	PI	
1981	– Unitate centrală de procesare de mare viteză foarte fiabilă, cu îmbunătățiri la nivel de microprogramare [Institutul de Cercetare pentru Tehnici Calculatoare]	PI	
1980	– Implicat în etapele finale de testare a computerului CE-100 (echivalent PDP)	Co-PI	
1979 – 1980	– Stație de lucru grafică de mare viteză: 1024×1024 cu 16 intensități [UPB] Afișaj vectorial HP de 20 MHz și design original CPU (testat la 60 MHz) » Trei premii pentru cea mai bună lucrare la Conferința de cercetare științifică a studenților » Premiul pentru cea mai bună teză de master pentru „inovații în proiectarea stațiilor de lucru”		5K\$
1977 – 1980	– Bursă de merit național [Ministerul Științei și Educației]		10K\$

## REALIZĂRI

## A PARTICIPAT

- 1996 – 1998 – Sistemele de procesare adaptabile implementabile (DAPS) desfășurate la Laboratorul Național Los Alamos (LANL) a fost un program de cercetare și dezvoltare, care dezvoltă algoritmi și sisteme de prototipare pentru procesare • la distanță/ în timp real . A specificat/proiectat algoritmi inspirați de neuroni și i-a mapat pe FPGA.
- 1992 – 1994 – Porți logice de prag eficiente VLSI (Concerted Research Action of the Flemish Community).
- 1991 – Unul dintre experții DEANNA (Baza de date pentru Activitatea rețelei neuronale artificiale europene), o acțiune exploratorie condusă de JENNI (Inițiativa comună a rețelei neuronale europene).

## ALTE ACTIVITĂȚI LEGATE DE CERCETARE

## 20 BREVETE

- 10 SUA, 3 OMPI, 3 Australia, 3 Taiwan, 1 România — un singur autor pentru toate acestea

## 133 CONFERINȚE • RRCS'94, ANITA'96, NEuroFuzzy'96, NeuroTop'97, SBRN'97, EIS'98, SOCO'99, EIS'00, SBRN'00,

## ORGANIZAT IWANN'03, NCI'03, IJCNN'04, IJCNN'05, NanoArch'05, ICMENS'06, IDT'06, IEEE-NANO'06,

IEEE SoC'06, IJCNN'06, NanoArch'06, WSC-11, IDT'07, IIT'07, IEEE SoC'07, IJCNN'07, MCSoc'07, NanoArch'07, WSC-12, DCS'08, IDT'08, MIM-MMN'08, NanoArch'08, NDCS'08, VTS'08, WSC-13, DTIS'09, ICMLA'09, IJCNN'09, MIM-MMN'09, NanoArch'09, NanoNet'09, WSC-14, BCN'10, BIONETIC'10, ICTITA'10, IDT'10, MIM-MMN'10, MCSoc'10, NanoArch'10, NanoNet'10, SBCCI'10, WAC'10, WSC-15, ICMLA'11, IDT'11, MIM-MMN'11, MoNaCom'11, NaBIC'11, NanoArch'11, SBCCI'11, ISIE'12, MIM-MMN'12, MoNaCom'12, NaBIC'12, NanoArch'12, OPTIM'12, SBCCI'12, WICT'12, WSC-16, DTIS'13, ICECS'13 (scaun de pistă), IDT'13, IIT'13, IJCNN'13, MIM-MMN'13, MoNaCom'13, NanoArch'13, SBCCI'13, VLSI-SoC'13, BICT'14, BioTL'14, DTIS'14, I4CT'14, ICECS'14 (scaun pe pistă), ICNC'14, IIT'14 (președinte), IDT'14, ISCAS'14, MIM-MMN'14, NanoArch'14, NanoCom'14, SBCCI'14, SSCI'14, WSC-18, DTIS'15, ECCTD'15, ICECS'15 (scaun de pistă), IDT'15, IJCNN'15, MIM-MMN'15, NaBIC'15, NanoArch'15, NanoCom'15, SBCCI'15, SSCI'15, DTIS'16, ICCCC'16, ICECS'16 (catedrul publicitar), IDT'16, ISCAS'16, MIM-MMN'16, SETIT'16, SOFA'16, DTIS'17, ISCAS'17, ICML'17, ISPACS'17, SoCPar'17, DTIS'18, ICCCC'18, ISREIE'18, SETIT'18, SOFA'18, WSC'18, DTIS'19, ECC'19, VTCA'19, DTIS'20, ICCCC'20, MWSCAS'20, SOFA'20, ICCCC'22, SOFA'22, MWSCAS'22, MWSCAS'23, MWSCAS'24

## 67 SESIUNI

## PREZIDAT

- CSCS'93, ROSYCS'93, RRCS'94, ConTI'94, ADT'95, CSCS'95, IWANN'95, NeuroTop'97, CSCS'97, EANN'97, SOCO'97, EIS'98 (2×), PARELEC'98, NC'98, ISCAS'00, MWSCAS'00 (2×), NCI'03 (2×), IWANN'03, ICANN'03, SCS'03, IJCNN'03, NIPS'03 (2×), MWSCAS'03, IJCNN'04 (2×), IJCNN'05, IIT'05, VLSI-SoC'05, ICM'05, AICCSA'06 (2×), IIT'06, ISMVL'07, IWANN'07, IEEE-NANO'07, DCIS'07, GCoE'07, ARC'08, GCoE'08, ISCAS'08, ARC'09, NanoNet'09, IDT'10, IEEE-NANO'11, EDCC'12, IEEE-NANO'12, DTIS'13, ICECS'13 (3×), IIT'14, ICCCC'16, SOFA'16 (2×), ISREIE'16, ICCCC'18, ISREIE'18, SOFA'18, ECC'19 (2×), ICCCC'20, SOFA'20, ICCCC'22

## 236 INVITAȚII • 14 sesiuni/workshop-uri, 30 plenary/keynote, 19 tutoriale, 54 prelegeri și 119 prezentări

## REFERENT

- Fundația Națională pentru Știință SUA (28× din 2002), Comisia Europeană a UE (6× din 2007), Belgia (2005, 2009), Cipru (2009, 2010), Elveția (2006, 2008), Emiratele Arabe Unite (12×), România (29×)
- Reviste: IEEE T. Nano., Nanotech., J. Nanotech., ACM JETC, IEEE T. VLSI, IEEE T. CAS, IEEE T. Design & Test, IEEE T. CAD, IEEE T. Comp., IEEE T. Sys. Man & Cyber., Microelectr., Integr. VLSI J., Electr. Lett., J. VLSI, J. Circ. Th. & Appls., Solid State Electr., IEEE T. Neural Nets, Neural Nets., Neural Net. Lumea, Proc. Lett., Intl. J. Neural Syst., Microelectr. J., New J. Phys., Biol. Cyber.
- Conferințe (pe lângă cele organizate): ADT'95, IJCNN'03, IIT'05, IWANN'05, IIT'06, ISCAS'06, ICSPC'07, ISIE'07, ISCAS'07, VTS'07, IECON'08, ISCAS'08, IJCNN'08, IECON'09, ICMLA'09, IIT'09, ISIE'10, ISSCI'10, MWSCAS'10, Optim'10, ECCTD'11, IEEE-NANO'11, IIT'11, IJCNN'11, MoNaCom'11, ESANN'12, IDT'12, IIT'12, IJCNN'12, DTIS'13, ADVCT'14, I4CT'14, IJCNN'14, ISCAS'15, WSC'15, MWSCAS'17, SoCPar'17, MWSCAS'18, MWSCAS'19, MWSCAS'22 – Intl. conf. univ. Sci. Teh. Dev. (IASTED), Intl. Soc. Mini și Microcomp. (ISMM), Intl. Comp. Sci. Convenții (ICSC), Natl. Info. & Documentare Inst. (INID)
- Cărți (5), membru al comisiei teze de doctorat (16), membru al comisiei teze de master (6)

<b>PLANURI DE CERCETARE</b>	„Succesul... trecând de la esec la esec cu entuziasm nediminuat.” Winston Churchill.	
<b>SCURT LA</b>	• Design-uri Atto-Joule bazate pe noi matrice de dispozitive care permit fiabilitate optimă	
<b>MEDIU</b>	• Comunicare și calcule practice (economice) tolerante la erori (de la dispozitive și fire)	
<b>TERMEN</b>	• Dincolo de proiectarea fiabilitate-putere-întârziere CMOS (SET, NEMS, magnetic, molecular, fonic, fluidic)	
<b>PE TERMEN LUNG</b>	• Nano-circuite/arhitecturi inspirate de bio/creier pentru procesarea informației inovatoare	
<b>BIO-INSPIRAT</b>	– Proiectarea de circuite VLSI și nano-arhitecturi adaptative inovatoare inspirate de bio/creier, permițând	
<b>NANO-CIRCUIT</b>	putere redusă (aproape de prag, mixt digital/analogic, SET, NEMS, fonic, fluidic) și tolerant la erori	
<b>ARHITECTURII</b>	(scheme noi de redundanță la nivel de dispozitiv) sisteme de procesare a informațiilor la scară largă bazate pe matrice.	
<b>NIVEL ÎNALT</b>	- Blocurile de calcul biologic se bazează pe câțiva biți, sugerând calcule în funcție de cifre într-o bază mai mare	
<b>AUTOMAT</b>	decat doi. Blocurile „analogice” cu precizie redusă ar putea fi sintetizate pe baza suprapunerii lui Kolmogorov. Ieșirile	
<b>SINTEZĂ</b>	blocurilor „analogice” ar trebui să fie combinate prin circuite digitale ciclice (adică, cu feedback). Acest lucru ar putea interfața direct cu intrările analogice și, de asemenea, ar îmbina memoria cu calculele.	
<b>EDA PRECISA</b>	– Calculele de fiabilitate ar trebui să înceapă de la dispozitive și fire (nu de la porți), iar modelarea ar trebui	
<b>ALGORITMI</b>	includeți variațiile dispozitivului, defecte și zgomote. GREDA (Gate Reliability EDA) a fost dezvoltat pentru	
<b>PENTRU FIABILITATE</b>	estimări foarte precise ale fiabilității porții. Rezultatele GREDA au fost duse la nivel de sistem de CR-EDA2 (EDA privind fiabilitatea circuitelor pentru evaluarea alternativelor de proiectare). Ambele instrumente sunt bazate pe Bayesian și iau în considerare vectorii de intrare, variațiile dispozitivului și zgomotele. Zgomote pe fire și diverse non-Gauss distribuțiile au fost investigate împreună cu concepte noi de proiectare statistică (brevetabile).	
<b>APLICAȚII</b>		
<b>INTELIGENT</b>	– O aplicație interesantă este reprezentată de memoria inteligentă/asociativă. Un conținut adresabil	
<b>ASOCIATIV</b>	memorie (CAM) caută o potrivire exactă. Exemplele tipice includ: cache-ul și virtualul	
<b>AMINTIRI</b>	adresarea paginilor (microprocesoare) și căutarea adresei (servere de internet). Un bio-inspirat memoria asociativă se bazează pe cea mai bună potrivire, returnând una sau mai multe potriviri sortate după o măsurătoare dată. Avantaje: ar putea face față datelor lipsă și erorilor, ar putea generaliza etc.	
<b>PERF. ÎNALTĂ</b>	– Planul aici este de a evalua soluții pentru en/decriptare ultra-rapidă care să permită viteza firului	
<b>EN/DESCRIPTARE</b>	implementarea criptosistemelor cu cheie publică (de exemplu, RSA, ECC) și cheie simetrică (de exemplu, AES).	
<b>ȘI/DECODARE</b>	Algoritmii pentru en/decodare (de exemplu, JPEG, MPEG etc., bazați pe FFT/DCT) ar trebui să fie vizați.	

<b>PREMII</b>	„Rezultate! ... Știu câteva mii de lucruri care nu vor funcționa.” Thomas Edison.	
<b>3 VIZITAREA</b>		
2015	• Erasmus Mundus (Prof. vizitator) •	Uniunea Europeană (TU Dresda/CfAED)
2013	Erasmus Mundus (Nano Scholar) •	Uniunea Europeană (TU Dresda/CfAED)
2005 – 2011	Profesor invitat	Universitatea Ulster (Marea Britanie)
<b>5 BURSĂ</b>		
1999 – 2001	• Bursă de cercetare Rose • Bursă	Rose Research (SUA) 0,1%
1996 – 1998	postdoctorală a directorului • Bursă de	Laboratorul Național Los Alamos (SUA) 1,0%
1994 – 1996	cercetare HCM • Bursă de	Uniunea Europeană (King's College London, Marea Britanie) 0,1%
1993 – 1994	cercetare • Bursă Fulbright	Acțiune de cercetare concertată (Comunitatea flamandă)
1991		Comisia Fulbright (SUA) 0,1%
<b>2 BURSE</b>		
1991 – 1993	• Bursa de doctorat • Bursa	Universitatea Catolică din Leuven (Belgia) 1,0%
1975 – 1980	Nationala de Merit	Ministerul Științei și Educației (România) 0,1%

## ALTE RECUNOAȘTERI

2024	• Top 2% oameni de știință la nivel	Stanford și Scopus (10.17632/btchxktzyw.7)	2,0%
2023	mondial • Top 2% oameni de știință la	Stanford și Scopus (10.17632/btchxktzyw.6)	2,0%
2023	nivel mondial • Premiul UEFISCDI PRECISI	Tranzacții IEEE privind nanotehnologie (T2)	
2022	• Premiul de excelență	UAV	1,0%
2022	• Top 2% oameni de știință la nivel	Stanford și Scopus (10.17632/btchxktzyw.5)	2,0%
2022	mondial • Premiul UEFISCDI PRECISI	Rețele (T1)	
2021	• Top 2% oameni de știință la nivel	Stanford și Scopus (10.17632/btchxktzyw.4)	2,0%
2020	mondial • Top 2% oameni de știință la	Stanford și Scopus (10.17632/btchxktzyw.3)	2,0%
2020	nivel mondial • Premiul UEFISCDI PRECISI	Scrisori de comunicații IEEE (Q2)	
2020	• Premiul pentru cea mai	ICCCC'20	2,0%
2018	bună lucrare • Premiul UEFISCDI	Acces IEEE (Q1)	
2018	PRECISI • Premiul pentru	IEEE ICCCC'18	2,0%
2017	cea mai bună lucrare • Premiul UEFISCDI PRECISI	Optics Express (Q1)	
2017	• Premiul de excelență	UPB	1,0%
2016	• Premiul de excelență	UAV	1,0%
2009	• Premiul de recunoaștere a afacerilor de cercetare UAEU •		1,0%
2009	Premiul pentru cea mai bună excelență în burse UAEU, Colegiul de IT •		2,0%
2008	Premiul pentru cea mai	Conferința anuală de cercetare a UAEU	1,0%
2003	bună lucrare • Trei brevete		
2002	• Nouă brevete		
2001	• rezident din SUA cu abilitate extraordinară „Implementări VLSI ale rețelelor neuronale”		
2001	• apte brevete		
2000	• Premiul pentru cea mai	IEEE CAS'2000	1,0%
1996	bună lucrare • Membru senior	IEEE	8,0%
1994	• Doctorat summa cum laude	Universitatea Catolică din Leuven (Belgia)	5,0%
1984	• Un singur brevet	PTO românesc (1)	
1980	• Premiul pentru cea mai bună teză de master	UPB	1,0%
1980	• Premiile pentru cea mai bună lucrare (de	UPB	1,0%
1977	trei ori) • Premiile pentru cea mai bună	Universitatea „Politehnica” din București (UPB)	1,0%
1975	lucrare (de două ori) • Premiul cel mai	Colegiul National de Informatica	0,5%
1971 – 1975	înalt (la absolvire) • Medalia de aur/Premiul I (de patru ori) Olimpiada Română de Fizică		0,1%

## ADI IONAL

## INFORMA II

## MEMBRU

1999	– Asociația Marie Curie Fellowship	MCFA
	– Asociația pentru mașini de calcul (#5155023)	ACM
1992	– Institutul de Inginerie Electrică și Electronică (#03089455) – Membru senior	IEEE
	– Rețea neuronală internațională (#7212)	hanurile
1991	– European Neural Network Society – Membru fondator	ENNS
	– Expert al Academiei Române de Științe	
1979	– Lions Club International (Centrul de întâlniri universitar internațional)	CYRUS

## DIVERSE

2019 – 2024	UAV Facultatea de Științe Exacte Consiliul Colegiului	2017 –	Membru
2018	MEN CNATDCU (Decretul Ministerului Educației nr. 3991/06.06.2017)		Membru
2013 – 2015	UAEU Promotion Advisory Group	2009 – 2015	Membru
UAEU Mubadala Technology (anterior ATIC) Advisory Board	Comitetul de promovare CIT		Membru
2013 – 2015			Scaun

2005 – 2013	Comitetul de promovare CIT (cu excepția 2007 – 2008)	Membru
2014 – 2015	Comisia CIT de evaluare de la egal la egal a predării (PET).	Membru
2010 – 2013	Consiliul UAEU (reprezentând CIT)	Membru
2008 – 2013	UAEU Graduate Research Studies Board	Membru
2008 – 2011	Consiliul Absolvent al UAEU	Membru
2007 – 2009	UAEU Technical Task Force (inspectarea și primirea noii clădiri CIT)	Membru
2006 – 2010	Comisia pentru afaceri de cercetare UAEU	Membru
2006 – 2007	Comitetul de recepție IT al UAEU 2011 –	Membru
2013	Comitetul de cercetare CIT	Membru
2011 – 2012	Comitetul pentru Programul Absolvent al CIT	Membru
2009 – 2011	Comitetul pentru Programul Absolvent al CIT	Scaun
2005 – 2011	Comitetul de cercetare și studii superioare CIT	Scaun
2005 – 2008	Comitetul pentru laboratoare și echipamente CIT	Scaun
2005 – 2006	Comitetul de recrutare CIT	Scaun
2006 – 2011	Comitetul de Planificare Strategică CIT	Membru
2006 – 2010	Comitetul de recrutare CIT	Membru
2006 – 2009	Comisia de onoare CIT	Membru
2006 – 2007	Comitetul CIT de evaluare a performanței academice	Membru
2005 – 2011	Consiliul Colegiului CIT	Membru
2005 – 2008	Comitetul pentru Curriculum CIT	Membru
2024	Examinator extern pentru o teză de doctorat (membru al comisiei de examen)	Examinator
2022	extern pentru două teze de doctorat (membru al comisiei de examinare)	Examinator extern
2009	pentru o teză de doctorat (membru al comisiei de examen)	
2008	Examinator extern pentru patru teze de doctorat (membru al comisiei de examinare)	
2007	Examinator extern pentru o teză de doctorat (membru al comisiei de examinare)	
	Examinator extern HCT Men's College, Abu Dhabi (9 studenți, 4 proiecte)	
2006	Examinator extern pentru o teză de doctorat (membru al comisiei de examinare)	
2005	Examinator extern pentru o teză de doctorat (membru al comisiei de examinare)	
[...]		
2001 – 2005	• Membru al Comitetului pentru studii superioare EECS	WSU
2001 – 2005	• Membru al Comitetului de Inginerie Informatică (Program) • Convenții	WSU
1998 – 2001	Internaționale de Informatică/Consiliu Consultativ Academic • Președinte de Program	ICSC
1997 – 1998	al Secțiunii IEEE Los Alamos • Secretar al Comisiei de Examinare	LANL
1985 – 1990	MSc	UPB
1987 IULIE	– Președintele Taberei Naționale de Pregătire a Elevilor în Informatică (Sinaia, România)	UPB
1985 – 1990	– Președinte al Grupului Studenților pentru Cercetare Științifică în Calculatoare	UPB
2022 – ...	• Colegiul editorial	Frontiere în neuroștiință
2021 – ...	• Colegiul editorial	Matematică
2020 – ...	• Colegiul editorial	Științe Aplicate
2010 – 2016	• Editor asociat	Nano rețele de comunicații
2011 – 2015	• Editor asociat	Tranzacții IEEE pe sisteme VLSI • Grup de
2009	tehnologii emergente pentru comunicații la scară nanometrică • Editor asociat •	IEEE
2005 – 2008	Înființat și lider Nano-	Tranzacții IEEE pe rețele neuronale
2006 –	ART = Echipa de cercetare Nano Architectural	IEEE
2005	• Grup de lucru pentru nano arhitecturi	IEEE-CS
2003	• Membru al Novel Nanoarchitectures Study Group CW4	SRC-NNI
2024 recenzii	– În desfășurare	1 doctorat 26 reviste 5 conferințe
2023 recenzii	–	1 doctorat 36 reviste 2 conferințe

Recenzii din 2022	-	10 România		2 doctorat 33 reviste 8 conferințe
Recenzii 2021	-	5 România		1 doctorat 15 reviste 12 conferințe
Recenzii 2020	-	1 România		16 reviste 18 conferințe 7 reviste
Recenzii 2019	-	1 România		8 conferințe
Recenzii 2018	-	2 România		17 reviste 14 conferințe
Recenzii 2017	-	3 România		5 reviste 9 conferințe
Recenzii 2016	-	9 România		2 reviste 22 conferințe
Recenzii 2015	-			8 reviste 42 conferințe
Recenzii 2014	- 1 FSN			30 de reviste 45 de conferințe
Recenzii din 2013	- 1 FSN			31 de reviste 58 de conferințe
Recenzii din 2012	-			2 MSc 33 reviste 46 conferințe
Recenzii din 2011	- 7 NSF	2 UE		19 reviste 31 conferințe
Recenzii din 2010	-	1 UE	1 Cipru	14 reviste 24 conferințe
Recenzii din 2009	-	1 UE 1 Belgia	1 Cipru	1 doctorat 13 reviste 25 conferințe
Recenzii din 2008	- 8 NSF	1 UE 1 Elveția		4 doctorat 15 reviste 33 conferințe
Recenzii din 2007	- 9 NSF	1 UE		1 carte 1 doctorat 9 reviste 28 conferințe
Recenzii din 2006	- 1 FSN	1 Elveția		2 cărți 1 doctorat 15 reviste 15 conferințe
Recenzii din 2005	- 1 FSN	1 Belgia		1 carte 1 doctorat 5 reviste 11 conferințe
[...]				

LINK-URI

## LA PREZENTĂRI / PUBLICAȚII

- 2020
- Utilizarea rețelelor de sortare pentru proiectarea rețelelor de calcul fiabile  
Conferința internațională IEEE privind nanotehnologie, virtuală, 29-31 iulie 2020  
<https://ieeetv.ieee.org/ondemand/employing-sorting-nets-for-designing-reliable-computing-nets>
- 2020
- Land of the Giants ... AI Chips  
International Conference on Computers Communications & Control ICCCC'20 Băile Felix/Oradea, România, 11-15 mai 2020 [http://univagora.ro/m/filer\\_public/2020/05/20/beiu.pdf](http://univagora.ro/m/filer_public/2020/05/20/beiu.pdf)
- 2014
- Proiectare bio-inspirată cu matrice  
CMOS Emerg. Teh. Res. CMOSETR'14, Grenoble, Franța, 8 iulie 2014  
<https://books.google.ca/books?id=OL3aAWAAQBAJ&pg=PA102>
- 2013
- De ce poate biologia... și... siliciul nu poate?  
TUDresden, Germania, 11 iulie 2013, <https://nano.tu-dresden.de/seminar/1089>
  - Creierul - O introducere blândă, înlăturând concepțiile greșite  
TUDresden, Germania, 11 aprilie 2013, <https://nano.tu-dresden.de/seminar/1103>
- 2010
- Despre interconexiunile nano inspirate de creier (tutorial)  
IEEE Intl. Conf. comună. Rețele neuronale. IJCNN'10, Barcelona, Spania, 18 iulie 2010  
<https://cis.ieee.org/professional-development/video-library>  
[https://ieeetv.ieee.org/player/embed\\_play/130009/videwidth](https://ieeetv.ieee.org/player/embed_play/130009/videwidth)  
[https://ieeetv.ieee.org/player/embed\\_play/130008/videwidth](https://ieeetv.ieee.org/player/embed_play/130008/videwidth)
  - Wings of the Mysterious Butterflies Intl. Nanotehnologie.  
Conf. INC6, Grenoble, Franța, 19 mai 2010
- 2003 - 2015
- Semiconductor Research Corporation (publicații) <https://www.src.org/texis/search/?pr=webprod&query=Beiu>
- Din 1996
- Laboratorul Național Los Alamos (publicații)  
<https://www.osti.gov/search/semantic:Beiu>



## LEGATE DE VIAȚA

1971 – 1975	• Colegiul Național de Informatică „Tudor Vianu”.	<a href="http://portal.lbi.ro/">http://portal.lbi.ro/</a>
1975 – 1980	• Universitatea „Politehnica” din București Facultatea de Control & Calculatoare Departamentul CS&E supraveghetor MSc	<a href="https://upb.ro/en/">https://upb.ro/en/</a> <a href="https://acs.pub.ro/en/home/despre-noi/">https://acs.pub.ro/en/home/despre-noi/</a> <a href="https://cs.pub.ro/">https://cs.pub.ro/</a> <a href="https://ro.wikipedia.org/wiki/Mircea_Petrescu">https://ro.wikipedia.org/wiki/Mircea_Petrescu</a>
1980 – 1982	• Institutul de Cercetare pentru Tehnici Calculatoare	<a href="https://www.itc.ro/">https://www.itc.ro/</a>
1982 – 2001	• Universitatea „Politehnica” din București Facultatea de Control & Calculatoare Departamentul CS&E	<a href="https://upb.ro/en/">https://upb.ro/en/</a> <a href="https://acs.pub.ro/en/home/despre-noi/">https://acs.pub.ro/en/home/despre-noi/</a> <a href="https://cs.pub.ro/">https://cs.pub.ro/</a>
1991 – 1994	• Universitatea Catolică din Leuven Facultatea de Inginerie Departamentul EE (ESAT) conducător de doctorat	<a href="https://www.kuleuven.be/english/">https://www.kuleuven.be/english/</a> <a href="https://eng.kuleuven.be/en">https://eng.kuleuven.be/en</a> <a href="https://www.esat.kuleuven.be/english/">https://www.esat.kuleuven.be/english/</a> <a href="https://www.esat.kuleuven.be/stadius/person.php?id=18">https://www.esat.kuleuven.be/stadius/person.php?id=18</a>
1994 – 1996	• UE HCM Fellowship [arhivat în 2009] • King's College London <a href="https://www.kcl.ac.uk/">https://www.kcl.ac.uk/</a> Școala de Științe Naturale și Matematică Departamentul de Matematică Centrul pentru Rețele Neuronale Vedea Consilier științific	<a href="http://cordis.europa.eu/tmr/src/grants/chbi/chbig_ro.htm">http://cordis.europa.eu/tmr/src/grants/chbi/chbig_ro.htm</a> <a href="https://www.kcl.ac.uk/nmes/">https://www.kcl.ac.uk/nmes/</a> <a href="https://www.kcl.ac.uk/mathematics/">https://www.kcl.ac.uk/mathematics/</a> <a href="http://www.mth.kcl.ac.uk/cnn/">http://www.mth.kcl.ac.uk/cnn/</a> [link vechi; inactiv] <a href="https://www.kcl.ac.uk/mathematics/about/history-of-the-department">https://www.kcl.ac.uk/mathematics/about/history-of-the-department</a> <a href="https://en.wikipedia.org/wiki/John_G._Taylor">https://en.wikipedia.org/wiki/John_G._Taylor</a>
1996 – 1998	• Laboratorul Național Los Alamos Neproliferare și securitate internațională	<a href="https://www.lanl.gov/">https://www.lanl.gov/</a> <a href="http://nis-www.lanl.gov/">http://nis-www.lanl.gov/</a> [link vechi; schimbat]
1998 – 2001	• RN2R/Rose Research LLC	<a href="https://patents.justia.com/assignee/rn2r-llc">https://patents.justia.com/assignee/rn2r-llc</a>
2001 – 2005	• Universitatea de Stat din Washington Școala de EE&CS	<a href="https://wsu.edu/">https://wsu.edu/</a> <a href="https://school.eecs.wsu.edu/">https://school.eecs.wsu.edu/</a>
2005 – 2011	• Universitatea din Ulster Centrul de Cercetare a Sistemelor Inteligente	<a href="https://www.ulster.ac.uk/">https://www.ulster.ac.uk/</a> Renovat/actualizat (de câteva ori de la început) <a href="https://www.ulster.ac.uk/research/topic/computer-science/intelligent-systems-research-centre">https://www.ulster.ac.uk/research/topic/computer-science/intelligent-systems-research-centre</a>
2005 –	• Universitatea din Emiratele Arabe Unite Colegiul de Tehnologia Informației	<a href="https://www.uaeu.ac.ae/en/">https://www.uaeu.ac.ae/en/</a> <a href="https://cit.uaeu.ac.ae/en/">https://cit.uaeu.ac.ae/en/</a> <a href="https://uaeu.pure.elsevier.com/en/searchAll/index/?search=Beiu">https://uaeu.pure.elsevier.com/en/searchAll/index/?search=Beiu</a>
2015 –	• “Aurel Vlaicu” University of Arad	<a href="https://uav.ro/en/">https://uav.ro/en/</a>

<b>PUBLICAȚII</b>	309	38 INVITAȚII ȘI 8 PREMII PENTRU CEL MAI BUN HĂRȚIE (PÂNĂ 53 ALTE CONF. ȘI 73 REP. TEH.)		
<b>CITAȚII</b>	1966	NUMĂRATE MÂNĂ ( FĂRĂ AUTOCITAȚIILE ) – LA CERERE PUBLICAȚII H INDEX .		
~1000/650	1032/677	<a href="https://www.webofscience.com/wos/author/record/797306">Web of Science</a> (toate/excluzând autocitarea tuturor bazelor de date) <a href="https://www.webofscience.com/wos/author/record/797306">https://www.webofscience.com/wos/author/record/797306</a>	168	15
~1500	1481	<a href="https://www2.scopus.com/authid/detail.uri?authorId=57208794980">Scopus</a> (toate, adică, inclusiv autocitările) <a href="https://www2.scopus.com/authid/detail.uri?authorId=57208794980">https://www2.scopus.com/authid/detail.uri?authorId=57208794980</a>	184	18
~2100	2139	<a href="https://www.semanticscholar.org/author/Valeriu-Beiu/50582498">Savant semantic</a> (toate, adică, inclusiv auto-citările) <a href="https://www.semanticscholar.org/author/Valeriu-Beiu/50582498">https://www.semanticscholar.org/author/Valeriu-Beiu/50582498</a>	251 (65 AICI)	22
~3000	3086	<a href="https://scholar.google.com/citations?user=u_PrdfwAAAAJ">Google Academic</a> (toate, adică, inclusiv auto-citările) <a href="https://scholar.google.com/citations?user=u_PrdfwAAAAJ">https://scholar.google.com/citations?user=u_PrdfwAAAAJ</a>	334	26

	ORGANIZAT/PREZENTAT	ACCEPTAT
<i>SESIUNE/WORKSHOP</i>	14	
<i>KEYNOTE/PLENAR/PANEL</i>	30	
<i>TUTORIAL</i>	19	
<i>LECTIE/SEMINAR</i>	54	
<i>PREZENTARE</i>	73	
<i>PREZENTARE IN INDUSTRIE</i>	46	
<b>TOTAL</b>	<b>236</b>	

**SESIUNI/WORKSHOP-URI INVITATE****14**

- S<sub>14</sub> L. Daus, R.-M. Beiu, and V. Beiu  
Trustworthy & Green Design  
International Conference on Computers, Communications and Control ICCCC 2022  
Baile Felix, Oradea, Romania, May 16-20, 2022  
Sesiune
- S<sub>13</sub> M. Jianu, V.-F. Dragoi, and V. Beiu  
Rebooting Reliability – From Maths to Circuits  
International Workshop on Soft Computing Applications SOFA 2020  
Virtual conference (<https://www.sofa-org.eu/2020/>), November 27-29, 2020  
Sesiune
- S<sub>12</sub> V. Beiu: On Brain-Inspired Nano-Architectures  
International Conference on Computers, Communications and Control ICCCC'20  
Virtual conference, May 11-15, 2020  
Sesiune
- S<sub>11</sub> V. Beiu: On Brain-Inspired Nano-Architectures  
IEEE International Conference on Computers, Communications and Control ICCCC'18  
Baile Felix, Oradea, Romania, May 08-12, 2018  
Sesiune
- S<sub>10</sub> R. Andonie, D. Davendra, and V. Beiu  
Computational Intelligence Methods  
IEEE International Conference on Computers, Communications and Control ICCCC'16  
Baile Felix, Oradea, Romania, May 10-14, 2016  
Sesiune
- S<sub>9</sub> V. Beiu, and W. Ibrahim  
Towards Brain Inspired Interconnects and Circuits  
International ICST Conference on Nano-Networks Nano-Net'09  
Luzern, Switzerland, October 18, 2009. [https://eudl.eu/proceedings/TBIC/2009?articles\\_page=1](https://eudl.eu/proceedings/TBIC/2009?articles_page=1)  
Workshop
- S<sub>8</sub> M.J. Avedillo, J.M. Quintana, and V. Beiu  
Emerging Technologies Applied to Nanoelectronics  
IEEE International Conference on Design of Circuits and Integrated Systems DCIS'07  
Seville, Spain, November 22, 2007  
Sesiune
- S<sub>7</sub> U. Rückert, and V. Beiu  
Neural Inspired Architectures for Nanoelectronics  
International Work-Conference on Artificial Neural Networks IWANN'07  
San Sebastian, Spain, May 19, 2007  
Sesiune
- S<sub>6</sub> V. Beiu, and U. Rückert  
Brain Inspired Emerging Nanoarchitectural Design and Technical Challenges  
IEEE International Joint Conference on Neural Networks IJCNN'04  
Budapest, Hungary, July 28, 2004  
Sesiune

S <sub>5</sub>	V. Beiu, and U. Rückert Neural-inspired Architectures for Nanoelectronics Neural Information Processing Systems NIPS'03 Whistler, Canada, December 12-13, 2003	Workshop
S <sub>4</sub>	V. Beiu: Threshold Gates – Past, Present, and Future International Work-Conference on Artificial Neural Networks IWANN'03 Menorca, Spain, June 4, 2003	Sesiune
S <sub>3</sub>	V. Beiu: The Next Generation of Neural Networks Chips International ICSC Symposium on Engineering of Intelligent Systems EIS'98 Tenerife, Spain, February 9, 1998	Sesiune
S <sub>2</sub>	R. Andonie, and V. Beiu International Workshop on Neural Research Priorities NeuroTop'97 Braşov, Romania, May 27-28, 1997	Workshop
S <sub>1</sub>	V. Beiu, and R. Andonie Shaping the Hardware Solutions for the Third Millennium ANITA'96 Uppsala, Sweden, December 9-10, 1996	Workshop

**KEYNOTE/PLENARY/PANEL INVITATE**

**30**

K <sub>30</sub>	V. Beiu: An Unexpected Twist on the Brain: We Need to Reassess Connectomics International Conference on Mathematics, Computer Science and Technical Education (ICMCSTE 2024) Bucharest, Romania, May 24-26, 2024 ( <a href="https://dmi.utcb.ro/icmcste/">https://dmi.utcb.ro/icmcste/</a> )	Keynote
K <sub>29</sub>	V. Beiu: Quo Vadis Connectomics Conference on „Brain, Neurosciences and Society” (BAW2024) Arad, Romania, March 12, 2024 <a href="https://www.uav.ro/academic/cercetare-stiintifica/apeluri-conferin%C8%9Be/brain-awareness-week-2024">https://www.uav.ro/academic/cercetare-stiintifica/apeluri-conferin%C8%9Be/brain-awareness-week-2024</a>	Keynote
K <sub>28</sub>	V. Beiu: A Brave New World ... Manufactured with Atomic Precision International Workshop on Soft Computing Applications SOFA2022 Arad, Romania, November 21-23, 2022 ( <a href="https://2022.sofa-org.eu/invited-speakers/">https://2022.sofa-org.eu/invited-speakers/</a> )	Keynote
K <sub>27</sub>	V. Beiu: A(nother) Game of Shadows International Conference on Computers, Communications and Control ICCCC'22 Baile Felix, Oradea, Romania, May 16-20, 2022 ( <a href="http://univagora.ro/en/icccc2022/keynote/">http://univagora.ro/en/icccc2022/keynote/</a> )	Keynote
K <sub>26</sub>	V. Beiu: The Unfolding Road from Dust to Trust International Conference Advances in 3OM, Timisoara, Romania, December 13-16, 2021 <a href="http://3om-group-optomechatronics.ro/advances-in-3om-conference-2021/plenary-speakers/">http://3om-group-optomechatronics.ro/advances-in-3om-conference-2021/plenary-speakers/</a>	Keynote
K <sub>25</sub>	V. Beiu: Chips (Shortages), Technology and Taxes International Students' Scientific Communications Session SICSS 2021 Arad, Romania, June 5, 2021	Plenar
K <sub>24</sub>	V. Beiu: Why Reliability Is Such a Nemesis – Rebooting Computing Reliability International Workshop on Soft Computing Applications SOFA'20 Virtual conference, November 27-29, 2020 ( <a href="https://www.sofa-org.eu/2020/">https://www.sofa-org.eu/2020/</a> )	Keynote
K <sub>23</sub>	V. Beiu: Quantum AI from the Ground Up International Students' Conference StudMath-IT 2020 Virtual conference, November 26-27, 2020 ( <a href="https://studmathit.uav.ro/">https://studmathit.uav.ro/</a> )	Keynote
K <sub>22</sub>	V. Beiu: Rise of the AI Chips International Students' Scientific Communications Session SICSS 2020 Virtual conference, June 27, 2020 ( <a href="https://aurelvlaicuuniversityofarad.my.webex.com/meet/balas">https://aurelvlaicuuniversityofarad.my.webex.com/meet/balas</a> )	Keynote

K <sub>21</sub>	V. Beiu: Land of the Giants ... AI Chips International Conference on Computers, Communications and Control ICCCC'20 Virtual conference, May 11-15, 2020 ( <a href="http://univagora.ro/en/icccc2020/keynote/">http://univagora.ro/en/icccc2020/keynote/</a> )	Keynote
K <sub>20</sub>	V. Beiu: Why AI Hardware Makes (Perfect) Sense Now Euro-China Conference on Intelligent Data Analysis and Applications ECC'19 Arad, Romania, October 15-18, 2019 ( <a href="https://www.ecc2019.ro/invited-speaker/">https://www.ecc2019.ro/invited-speaker/</a> )	Keynote
K <sub>19</sub>	V. Beiu: Seeing is Believing International Workshop on Soft Computing Applications SOFA'18 Arad, Romania, September 15, 2018	Keynote
K <sub>18</sub>	V. Beiu: Photonics and the Brain International Conference on Lasers in Medicine ICLM'17 Timisoara, Romania, July 15, 2017	Plenar
K <sub>17</sub>	V. Beiu: Why the Brain Can and the Computer Can't International Workshop on Soft Computing Applications SOFA'16 Arad, Romania, August 25, 2016	Keynote
–	V. Beiu: Brain versus Computer Revisited Asia-Pacific Conference on Electrical Electronics and Engineering AEEE'15 Dubai, UAE, November 18-19, 2015 [Canceled]	Keynote
K <sub>16</sub>	V. Beiu: On the Reliability Accuracy Challenge – Grappling with a Seemingly Intractable Problem European Dependable Computing Conference EDCC'12 Sibiu, Romania, May 11, 2012	Keynote
K <sub>15</sub>	T.G. Noll, P. Horn, N. Menezes, V. Beiu, and D. Hammerstrom Alternative Minimum-Energy Computing Paradigms (Brain-inspired Information Processors) International Forum on Minimum Energy Electronic Systems MEES'10 Abu Dhabi, UAE, May 23-24, 2010	Panel
K <sub>14</sub>	V. Beiu: Trustworthy Wings of the Mysterious Butterflies (Brain-inspired Information Processing) International Nanotechnology Conference on Communication and Cooperation INC6 Grenoble, France, May 19, 2010	Keynote
K <sub>13</sub>	V. Beiu: Connectivity and Scalability Issues for Biologically Plausible Nano-electronic Systems International Workshop on Brain-Inspired Electronic Circuits & Systems BIECS'09/ESSDERC'09 Athens, Greece, September 18, 2009	Keynote
K <sub>12</sub>	C. Constantinescu, J.A. Abraham, V. Beiu, H. Naeimi, A. Somani, and S. Wang Scaling Towards Nanometer Size Devices – Issues and Solutions Workshop on Dependable and Secure Nanocomputing WDSN'09 (IEEE/IFIP DSN'09) Estoril/Lisbon, Portugal, June 29, 2009 <a href="http://webhost.laas.fr/TSF/WDSN09/WDSN09_files/Slides/WDSN09_12-Beiu.pdf">http://webhost.laas.fr/TSF/WDSN09/WDSN09_files/Slides/WDSN09_12-Beiu.pdf</a>	Panel
K <sub>11</sub>	V. Beiu: Electrons Behaving Badly Information Electronics Systems Global Center of Excellence GCoE'08 Tohoku University, Sendai, Japan, July 14, 2008	Plenar
K <sub>10</sub>	S. Bhabhu, R.A. Parekhji, M. Nicolaidis, V. Beiu, and M.Y. Zhang Mitigating Reliability, Yield and Power Issues in Nano-CMOS: Design or EDA Problem? IEEE International VLSI Test Symposium VTS'08, San Diego, CA, USA, April 30, 2008	Panel
K <sub>9</sub>	V. Beiu: Quo Vadis Nano-electronics Information Electronics Systems Global Center of Excellence GCoE'07 Tohoku University, Sendai, Japan, November 27, 2007	Plenar

- K<sub>8</sub> V. Beiu: What Do Shannon, von Neumann, Kolmogorov, and Feynman Have to Do with ... Moore? IEEE International Symposium on Multiple Valued Logic ISMVL'07 Oslo, Norway, May 14, 2007 Plenar
- K<sub>7</sub> V. Beiu: What Do Moore, von Neumann and Kolmogorov Have in Common? IEEE International Conference on Computer Systems and Applications AICCSA'06 Sharjah, UAE, March 9, 2006 Keynote
- K<sub>6</sub> V. Beiu: The Quest for Reliable Nano Computations IEEE International Conference on Microelectronics ICM'05 Islamabad, Pakistan, December 13, 2005 Plenar
- K<sub>5</sub> U. Rükert, and V. Beiu  
Neural Inspired Architectures for Nanoelectronics  
IEEE International Conference on Intelligent Computing and Information Systems ICICIS'05 Cairo, Egypt, March 5-7, 2005 Plenar
- K<sub>4</sub> V. Beiu: On Biological and Hardware Neural Networks  
International Joint Meeting of the AMS and SMM  
Denton, TX, USA, May 21, 1999 Keynote
- K<sub>3</sub> V. Beiu: 2D Neural Hardware vs 3D Biological Ones  
International ICSC Symposium on Neural Computations NC'98  
Vienna, Austria, September 22, 1998 Plenar
- K<sub>2</sub> V. Beiu: Neural Inspired Parallel Computations Require Analog Processors  
International Conference on Parallel Computing and Electrical Engineering PARELEC'98  
Bialystok, Poland, September 4, 1998 Plenar
- K<sub>1</sub> V. Beiu: How to Build VLSI-Efficient Neural Chips  
International ICSC Symposium on Engineering of Intelligent Systems EIS'98  
Tenerife, Spain, February 11, 1998 Keynote

## TUTORIALE INVITATE

19

- T<sub>19</sub> V. Beiu: The Race for Mighty AI Chips  
IEEE International Conference: Sciences of Electronic, Technologies of Information and Telecommunications SETIT'22  
Genoa, Italy & Sfax, Tunisia, May 28-30, 2022 (<http://www.setit.rnu.tn/>)
- T<sub>18</sub> V. Beiu: On Brain-Inspired Nano-Architectures  
IEEE International Conference on Computers, Communications and Control ICCCC'18  
Baile Felix, Oradea, Romania, May 08-12, 2018 (<http://univagora.ro/en/icccc2018/keynote/>)
- T<sub>17</sub> V. Beiu, S.R. Cowell, L. Daş, and P. Poulin  
The Brain and the Computer Revisited Once Again  
IEEE International Nanotechnology Conference IEEE-NANO'16  
Sendai, Japan, August 22, 2016  
[http://nano.papercept.net/conferences/conferences/NANO16/program/NANO16\\_ContentListWeb\\_1.html](http://nano.papercept.net/conferences/conferences/NANO16/program/NANO16_ContentListWeb_1.html)
- T<sub>16</sub> V. Beiu, P.M. Kelly, and W. Ibrahim  
On Brain Inspired Nano Interconnects  
IEEE International Joint Conference on Neural Networks IJCNN'10 (part of WCCI'10)  
Barcelona, Spain, July 18, 2010  
[https://ieeetv.ieee.org/player/embed\\_play/130009/videwidth](https://ieeetv.ieee.org/player/embed_play/130009/videwidth) & [/130008/videwidth](https://ieeetv.ieee.org/player/embed_play/130008/videwidth)

- T<sub>15</sub> V. Beiu, and P.M. Kelly  
On Brain Inspired Interconnects for Nano-electronics  
International ICST Conference on Nano-Networks Nano-Net'09  
Luzern, Switzerland, October 19, 2009
- T<sub>14</sub> V. Beiu, and W. Ibrahim  
On Reliability When Down to a Handful of Electrons  
IEEE International Nanotechnology Conference IEEE-NANO'09  
Genoa, Italy, June 27, 2009
- T<sub>13</sub> V. Beiu: On Brain Inspired Low-Power Redundant Designs for Silicon Nano-electronics and Beyond  
IEEE Annual Conference of the Industrial Electronic Society IECON'07  
Taipei, Taiwan, November 5, 2007
- T<sub>12</sub> V. Beiu: On Brain-Inspired Redundant Designs  
IEEE International Conference on Design and Technology of Integrated Systems DTIS'07  
Rabat, Morocco, September 2, 2007
- T<sub>11</sub> V. Beiu, and W. Ibrahim  
Dealing with the Reliability Challenge for Semiconductor Nano-electronics and Beyond  
IEEE International Midwest Symposium on Circuits and Systems MWSCAS'07  
Montreal, Canada, August 5, 2007
- T<sub>10</sub> V. Beiu, and W. Ibrahim  
Emerging Fault-Tolerant Designs for Novel Nano-Architectures  
IEEE International Conference on Nanotechnology IEEE-NANO'07  
Hong Kong, China, August 2, 2007
- T<sub>9</sub> V. Beiu, J. Nyathi, S. Aunet, and M.H. Sulieman  
Femto Joule Switching for Nano Electronics  
IEEE International Conference on Computer Systems and Applications AICCSA'06  
Sharjah, UAE, March 8-11, 2006
- T<sub>8</sub> V. Beiu: Design Challenges for Nanoelectronics  
International Conference on Innovations in Information Technologies IIT'05  
Dubai, UAE, September 26-28, 2005
- T<sub>7</sub> V. Beiu, and S. Roy  
Practical Redundant Designs for Nano Architectures – Novel Theoretical Results  
International Symposium on Nano and Giga Challenges in Nanoelectronics NGCM'04  
Krakow, Poland, September 17, 2004
- T<sub>6</sub> V. Beiu, J.M. Quintana, M.J. Avedillo, and P.-S. Wu  
Threshold Logic – From Vacuum Tubes to Nanoelectronics  
IEEE International Conference on Neural Networks and Signal Processing ICNNSP'03  
Nanjing, China, December 14-17, 2003
- T<sub>5</sub> V. Beiu, J.M. Quintana, and M.J. Avedillo:  
Threshold Logic – From TTL to Quantum Computing  
IEEE International Joint Conference on Neural Networks IJCNN'03  
Portland, OR, USA, July 20-24, 2003
- T<sub>4</sub> V. Beiu: How to Build VLSI-Efficient Neural Chips  
International ICSC Symposium on Engineering of Intelligent Systems EIS'98  
Tenerife, Canary Islands, Spain, February 9-13, 1998
- T<sub>3</sub> V. Beiu: Kolmogorov's Superpositions and New Mixed Analog/Digital Architectures  
Brazilian Symposium on Neural Networks IV SBRN, Goiania, Brazil, December 4, 1997

- T<sub>2</sub> V. Beiu: Entropy, Constructive Neural Learning, and VLSI Efficiency  
International Workshop on Neural Research Priorities in Data Transmission and EDA NEuroTop'97  
Braşov, Romania, May 27, 1997
- T<sub>1</sub> V. Beiu: Overview of the Present State-of-the-Art of Hardware Implementations of Neural Networks  
Brazilian Symposium on Neural Networks SBRN'96  
Recife, Brazil, November 13, 1996

**LECTII/SEMINARII INVITATE**

**54**

- L<sub>54</sub> V. Beiu: Obviously It's Open ... AI  
Graduation Ceremony, Arad, Romania, May 30, 2024
- L<sub>53</sub> V. Beiu: Quantum for the Masses  
Graduation Ceremony, Arad, Romania, June 6, 2022
- L<sub>52</sub> V. Beiu: Chips (shortages), Technology and Taxes  
International Students Scientific Communications Session SSCS'21, Arad, Romania, June 14, 2021
- L<sub>51</sub> V. Beiu: Quantum AI from the Ground Up  
International Students Conference StudMath-IT'20, Arad, Romania, November 26, 2020
- L<sub>50</sub> V. Beiu: Rise of the AI Chips  
International Students Scientific Communications Session SSCS'20, Arad, Romania, June 27, 2020
- L<sub>47-49</sub> V. Beiu: Bio-Inspired Cellular Nano-Architectures  
– International Students Scientific Communications Session SSCS'19, Arad, Romania, June 14, 2019  
– Mærsk Mc-Kinney Møller Institute, South Denmark University, Odense, Denmark, October 11, 2018  
– International Students Scientific Communications Session SSCS'17, Arad, Romania, June 7, 2017
- L<sub>46</sub> V. Beiu: Deciphering the Low Level Reliability Schemes of the Brain  
Enabled by Abraham de Moivre, Edward F. Moore, and Claude E. Shannon  
Department of Informatics Scientific Seminar, West University of Timisoara, Romania, March 8, 2017
- L<sub>45</sub> V. Beiu: From de Moivre to Moore-Shannon and Beyond  
Reliability Schemes Revealed by Atomic Resolution Microscopy  
Institute of Informatics Scientific Seminar, University of Szeged, Hungary, February 28, 2017
- L<sub>44</sub> V. Beiu: What's All the Fuss About the Brain?  
CIT Graduate Seminar, UAEU, Al Ain, UAE, May 27, 2015
- L<sub>43</sub> V. Beiu: Revealing the Reliability Scheme of the Neurons – One Ion Channel at a Time  
UAEU Cognitive Science Research Series, UAEU, Al Ain, UAE, May 24, 2015
- L<sub>42</sub> V. Beiu: If Biology Can ... Why Can't Silicon? The Brain and the Computer  
TU Dresden, Dresden, Germany, July 11, 2013  
[https://nano.tu-dresden.de/seminar/2013\\_07\\_11\\_valeriu-beiu](https://nano.tu-dresden.de/seminar/2013_07_11_valeriu-beiu)
- L<sub>41</sub> V. Beiu: The Brain – A Gentle Introduction Clearing Misconceptions  
TU Dresden, Dresden, Germany, April 11, 2013  
[https://nano.tu-dresden.de/seminar/2013\\_04\\_11\\_valeriu-beiu](https://nano.tu-dresden.de/seminar/2013_04_11_valeriu-beiu)
- L<sub>40</sub> V. Beiu: From Ion Channels to Future Nano-Architectures – Beyond von Neumann Cellular Automata  
Chalmers University, Gothenburg, Sweden, November 2, 2012
- L<sub>39</sub> V. Beiu: Bio-inspired Arrays to the Rescue – The Curse of Constant Failure Rates and Gaussian Distributions  
Chalmers University, Gothenburg, Sweden, October 29, 2012
- L<sub>38</sub> V. Beiu: On the Reliability Accuracy Challenge  
University of Ulster, Magee, UK, December 16, 2011

- L<sub>37</sub> V. Beiu: Reliability Prospects for Ultra Low Power Hybrid NEMS-CMOS  
UC Berkeley, Berkeley, CA, November 14, 2011
- L<sub>36</sub> V. Beiu: On Biologically Inspired Processing = Communication + Computation  
University of Ulster, Magee, UK, November 19, 2010
- L<sub>34-35</sub> V. Beiu: Brain Inspired Nano Architectures — Electron Behaving Badly  
– IEEE P/T Colloquium, Los Alamos National Laboratory, Los Alamos, NM, USA, April 15, 2008  
– CIT Distinguished Lecture Series, College of IT, UAEU, Al Ain, UAE, March 13, 2008
- L<sub>33</sub> V. Beiu: On Brain Inspired Low-Power Redundant Designs for Silicon Nano-electronics and Beyond  
Khalifa University of Science, Technology and Research (KUSTAR), Sharjah, UAE, March 3, 2008
- L<sub>32</sub> V. Beiu: Fault Tolerant Brain Inspired Nano Architectures  
CIT Distinguished Lecture Series, College of IT, UAEU, Al Ain, UAE, April 2006
- L<sub>31</sub> V. Beiu: On Brain Inspired Nano Architectures — There Are Plenty of Opportunities at the Top  
University of Ulster, Londonderry, UK, November 25, 2005
- L<sub>30</sub> V. Beiu: Great Challenges of Nanoelectronics — There Are Plenty of Challenges at the Bottom  
University of Ulster, Londonderry, UK, November 23, 2005
- L<sub>29</sub> V. Beiu: Achieving High-Speeds at Ultra Low-Power – Femto Joule Switching Nano Architectures  
Heinz Nixdorf Institute/University of Paderborn, Paderborn, Germany, August 16, 2004
- L<sub>28</sub> V. Beiu: Highly Reliable Designs for Scaled CMOS and Other Nanodevices (SETs, RTDs, Molecular)  
Heinz Nixdorf Institute/University of Paderborn, Paderborn, Germany, August 13, 2004
- L<sub>27</sub> V. Beiu: Review of Nanoelectronic Challenges and Some Plausible Solutions  
University “Politehnica” of Bucharest, Bucharest, Romania, August 9, 2004
- L<sub>26</sub> V. Beiu: On Novel (neural-inspired) Nano Architectures  
Washington State University, Pullman, WA, USA, November 7, 2003
- L<sub>24-25</sub> V. Beiu: Threshold Gates From TTL to Quantum Computing (Part I and Part II)  
– Heinz Nixdorf Institute/University of Paderborn, Paderborn, Germany, July 2, 2003  
– University of Paderborn, Paderborn, Germany, July 3, 2003
- L<sub>23</sub> V. Beiu: Advanced Real-Time-Radiography Graphical Object Selection (ARGOS)  
Washington State University, Pullman, WA, WA, USA, November 6, 2002
- L<sub>22</sub> V. Beiu: On VLSI Neural Computations  
Washington State University, Pullman, WA, USA, October 22, 2001
- L<sub>21</sub> V. Beiu: FastLogic and Its Applications  
Berkeley Wireless Research Center (BWRC), Berkeley, CA, USA, November 13, 2001
- L<sub>20</sub> V. Beiu: Neural Gates – Noise Robust but Fan-in Limited  
University “Politehnica” of Bucharest, Bucharest, Romania, June 4, 2001
- L<sub>19</sub> V. Beiu: Neural Inspired Parallel Computations Require Analog Processors  
Centre National de la Recherche Scientifique (CNRS), Paris, France, September 18, 1998
- L<sub>18</sub> V. Beiu: Introduction to Hardware Implementations of Neural Networks (series of 3 lectures)  
State University of Sao Paulo, Sao Paulo, Brazil, December 8-10, 1997
- L<sub>15-17</sub> V. Beiu: Kolmogorov’s Superpositions, Computer Architectures, and VLSI CAD  
– Dalle Molle Institute for Perceptual AI (IDIAP), Martigny, Switzerland, October 2, 1997  
– Paderborn University, Paderborn, Germany, September 30, 1997  
– Heinz Nixdorf Institute (HNI), Paderborn, Germany, September 29, 1997
- L<sub>14</sub> V. Beiu: 2D Neural Network Hardware vs 3D Biological Ones  
University Paris XII, Paris, France, September 22, 1997



- L<sub>13</sub> V. Beiu: Optimal Synthesis of Neural Circuits Using a Construction for Kolmogorov's Superpositions  
King's College London, London, UK, June 13, 1997
- L<sub>12</sub> V. Beiu: On Constructing Size- and VLSI-Optimal Neural Networks  
Royal Holloway University, Egham, UK, June 11, 1997
- L<sub>11</sub> V. Beiu: On Entropy Bounds with Application to Designing Constructive Neural Learning Algorithms  
Oxford University, Oxford, UK, June 9, 1997
- L<sub>10</sub> V. Beiu: Entropy and Efficient Neural Learning  
University "Politehnica" of Bucharest, Bucharest, Romania, June 2, 1997
- L<sub>9</sub> V. Beiu: Hardware Implementation of Neural Networks – A Comprehensive Review  
Los Alamos National Laboratory, Los Alamos, NM, USA, February 7, 1997
- L<sub>8</sub> V. Beiu: Hardware Implementations of Neural Networks – Where Are We, and Where Are We Going?  
Series of lectures, University of Pernambuco, Recife, Brazil, November 15-20, 1996
- L<sub>6-7</sub> V. Beiu: On the Complexity of Area- and Time-Efficient VLSI Implementations of Neural Networks  
– Royal Holloway University, Egham, UK, June 12, 1996  
– "Transilvania" University of Braşov, Braşov, Romania, December 19, 1995
- L<sub>5</sub> V. Beiu: VLSI-Efficient (Neural) Learning  
University "Politehnica" of Bucharest, Bucharest, Romania, May 22, 1995
- L<sub>4</sub> V. Beiu: Hardware Implementations of Neural Networks  
Center for Neural Networks, King's College London, London, UK, February 9, 1995
- L<sub>3</sub> V. Beiu: On Efficient Neural VLSI Implementations  
University "Politehnica" of Timișoara, Timișoara, Romania, November 21, 1994
- L<sub>2</sub> V. Beiu, and A. Florea: CAD Tools for PCs (series of lectures)  
AVERSA SA, Bucharest, Romania, May-June, 1991
- L<sub>1</sub> V. Beiu, and A. Florea: IBM PC Training (series of lectures)  
Ministry of National Defense, Bucharest, Romania, March - April, 1991

**PREZENTARI INVITATE LA CONFERINTE/UNIVERSITATI/LABORATOARE NATIONALE/ETC.**

**73**

- P<sub>73</sub> R.-M. Beiu, V. Dragoi, and V. Beiu  
3D Hammocks and 2.5D Consecutive – Biology Fine Balancing  
International Workshop on Soft Computing Applications SOFA2020  
Virtual conference, November 27-29, 2020
- P<sub>72</sub> M. Tache, V. Dragoi, and V. Beiu  
When Reliability Gets Nasty – The Devil Is in the Details  
International Workshop on Soft Computing Applications SOFA2020  
Virtual conference, November 27-29, 2020
- P<sub>71</sub> R.-M. Beiu, S. Hoara, and V. Beiu  
And Now This: Hammocks for Quantum and Photonics  
International Workshop on Soft Computing Applications SOFA2020  
Virtual conference, November 27-29, 2020
- P<sub>70</sub> R.-M. Beiu, M. M. Balas, V. E. Balas, and V. Beiu  
Seeing Is Believing  
International Conference on Optics, Photonics and Laser Technologies OPTICS & LASER-2019  
San Francisco, CA, USA, June 3-5, 2019

- P<sub>69</sub> F.-D. Munteanu, A. Cavaco-Paulo, M. A. Mernea, and V. Beiu  
 Studies of Solvated Ions in Confined Spaces  
 New Trends on Sensing-Monitoring-Telediagnosis for Life Sciences NT-SMT-LS'17  
 Bucharest, Romania, September 7-9, 2017
- P<sub>68</sub> V. Beiu: Photonic Techniques for Brain Imaging  
 SPIE International Conference for Lasers in Medicine  
 Timisoara, Romania, July 13-15, 2017
- P<sub>67</sub> V. Beiu, and M. Tache:  
 On Threshold Voltage Variation-Tolerant Designs  
 International Symposium on Research and Education in Innovation Era ISREIE'16  
 Arad, Romania, December 8-10, 2016
- V. Beiu: Elucidating the Low Power of the Brain – Why Ions Really Matter [Canceled]  
 CMOS Emerging Technologies Research CMOSETR'16  
 Montreal, Canada, May 25-27, 2016
- P<sub>66</sub> V. Beiu, and L. Daus  
 Deciphering the Reliability Scheme of the Neurons – One Ion Channel at a Time  
 International Conference on Bio-inspired Information & Communication Technology BICT'14  
 Boston, MA, USA, December 1-3, 2014
- P<sub>65</sub> V. Beiu: Bio-Inspired Designing with Arrays – When Distributions are Non-Gaussian  
 CMOS Emerging Technologies Research CMOSETR'14, Grenoble, France, July 6-8, 2014  
<http://books.google.ca/books?id=OL3aAwAAQBAJ&pg=PA102>
- P<sub>64</sub> V. Beiu: What's All the Fuss About the Brain? A Few Large Brain Research Projects  
 Cognitive Society Day, UAEU, Al Ain, UAE, May 20, 2014
- P<sub>63</sub> V. Beiu, A. Beg, and W. Ibrahim  
 Atto-Joule Gates for the Whole Voltage Range  
 IEEE International Conference on Nanotechnology IEEE-NANO'11  
 Portland, OR, USA, August 15-19, 2011
- P<sub>62</sub> V. Beiu: Quo Vadis Nano Architectures [Why  $U \times I$  Can Be Zero]  
 The 3<sup>rd</sup> UAEU Physics Symposium, Al Ain, Abu Dhabi, UAE, May 5, 2011
- P<sub>61</sub> V. Beiu: Ultra Low Power Processing Should Be ... Biologically Inspired  
 Masdar Institute of Science and Technology. Abu Dhabi, UAE, January 10, 2011
- P<sub>60</sub> P.M. Kelly, F. Tuffy, V. Beiu, and L.J. McDaid  
 Reduced Interconnects in Neural Networks  
 Using a Time Multiplexed Architecture based on Quantum Devices  
 International ICST Conference on Nano-Networks Nano-Net'09  
 Luzern, Switzerland, October 18-20, 2009
- P<sub>59</sub> W. Ibrahim, and V. Beiu  
 A Bayesian-based EDA Tool for Nano-Circuits Reliability Calculations  
 International ICST Conference on Nano-Networks Nano-Net'09  
 Luzern, Switzerland, October 18-20, 2009
- P<sub>58</sub> V. Beiu, B.A.M. Madappuram, P.M. Kelly, and L.J. McDaid  
 On Two-layer Hierarchical Networks: How Does the Brain Do This?  
 International ICST Conference on Nano-Networks Nano-Net'09  
 Luzern, Switzerland, October 18-20, 2009

- P<sub>57</sub> V. Beiu, W. Ibrahim, and R.Z. Makki  
On Wires Holding a Handful of Electrons  
International ICST Conference on Nano-Networks Nano-Net'09  
Luzern, Switzerland, October 18-20, 2009
- P<sub>56</sub> V. Beiu, H. Amer, and M. McGinnity  
On Global Communications for Nano-Architectures: Brain versus Rent's Rule  
IEEE International Conference on Design of Circuits and Integrated Systems DCIS'07  
Seville, Spain, November 21-23, 2007
- P<sub>55</sub> R.M. Beiu, C.D. Stanescu, and V. Beiu  
Nanostructured Fiber Optics as Highly Sensitive Mechanical Sensors  
International Trends in NanoTechnology TNT'07, San Sebastian, Spain, September 3-7, 2007
- P<sub>54</sub> V. Beiu: On Brain-inspired Nano-architectures – An Inescapable Device-level Convergence?  
Center on Functional Engineered Nano Architectonics (FENA)  
University of California at Los Angeles (UCLA), Los Angeles, CA, USA, April 27, 2007
- P<sub>53</sub> V. Beiu: A Brain-inspired Perspective on Nano-Communications  
NanoMaterials'07, San Diego, CA, USA, April 23-25, 2007
- P<sub>52</sub> V. Beiu: The Quest for Redundant Computations – When Neural-inspired Will Outperform Classical Architectures  
NSF Workshop on Architectures for Silicon Nanoelectronics and Beyond  
Portland State University, Portland, OR, USA, September 13-14, 2005
- P<sub>51</sub> V. Beiu: From Perceptrons to Neural Inspired Circuits and Nano Architectures  
Advanced Research and Development Agency (ARDA)  
Oak Ridge National Lab, Knoxville, TN, USA, April 11-12, 2005
- P<sub>47-50</sub> V. Beiu: From Neural Inspired Gates and Circuits to Nano Architectures  
– Centre National de la Recherche Scientifique (CNRS), Paris, France, July 2005  
– University of Rochester, Rochester, NY, USA, March 15, 2005  
– Rochester Institute of Technology, Rochester, NY, USA, March 14, 2005  
– Technical University of Graz, Graz, Austria, March 3, 2005
- P<sub>46</sub> V. Beiu: A Novel Highly Reliable Low-Power Nano Architecture – When von Neumann Augments Kolmogorov  
IEEE International Conference on Application-specific Systems, Architectures and Processors ASAP'04  
Galveston, TX, USA, September 27-29, 2004
- P<sub>45</sub> J. Nyathi, V. Beiu, and S. Aunet  
Femto Joule Switching — Review of Low Energy Design Styles for the Nano Era  
International Symposium on Nano and Giga Challenges in Nanoelectronics NGCM'04  
Krakow, Poland, September 13-17, 2004
- P<sub>44</sub> V. Beiu, J.M. Quintana, M.J. Avedillo, and M.H. Sulieman  
Threshold Logic – From TTL to Nanoelectronics  
IEEE International Midwest Symposium on Circuit and Systems MWSCAS'03  
Cairo, Egypt, December 27-30, 2003
- P<sub>43</sub> M.H. Sulieman, and V. Beiu  
Review of Recent Full Adders Implemented in Single Electron Technology  
IEEE International Midwest Symposium on Circuit and Systems MWSCAS'03  
Cairo, Egypt, December 27-30, 2003
- P<sub>42</sub> S. Roy, V. Beiu, and M.H. Sulieman  
Reliability Analysis of Some Nano Architectures  
Neural Information Processing System NIPS'03, Whistler, Canada, December 12-13, 2003

- P<sub>41</sub> J.M. Quintana, M.J. Avedillo, and V. Beiu  
Beyond Threshold Logic Gates  
Neural Information Processing System NIPS'03, Whistler, Canada, December 12-13, 2003
- P<sub>40</sub> M.H. Sulieman, and V. Beiu  
Characterization of Optimal Practical Adders for SET  
Neural Information Processing System NIPS'03, Whistler, Canada, December 12-13, 2003
- P<sub>39</sub> J. Nyathi, V. Beiu, S. Tatapudi, and D.J. Betowski  
Low Power Charge Recycling Asynchronous Designs  
Neural Information Processing System NIPS'03, Whistler, Canada, December 12-13, 2003
- P<sub>38</sub> V. Beiu: Threshold Logic – From the Early Days into the Nanoera  
Neural Information Processing System NIPS'03, Whistler, Canada, December 12-13, 2003
- P<sub>37</sub> V. Beiu: Review of Silicon Nanoelectronics and Beyond  
Neural Information Processing System NIPS'03, Whistler, Canada, December 12-13, 2003
- P<sub>36</sub> V. Beiu: Designing with Perceptrons  
University of Paderborn, Paderborn, Germany, November 10, 2003
- P<sub>35</sub> V. Beiu: Advanced Real-Time-Radiography Graphical Object Selection (ARGOS)  
Washington State University, Pullman, WA, USA, October 11, 2002
- P<sub>34</sub> V. Beiu, H.E. Makaruk, D. Morgan, and L. Popa-Simil  
ARGOS – Advanced RTR Graphical Object Selection  
Los Alamos National Laboratory, Los Alamos, NM, USA, July 24, 2002
- P<sub>23-33</sub> V. Beiu: On VLSI-Optimal Neural Computations  
– University of Hawaii, Honolulu, HI, USA, April 12, 2001  
– Rutgers University, Rutgers, NJ, USA, April 9, 2001  
– Boston University, Boston, MA, USA, April 6, 2001  
– University of Texas at Arlington, Arlington, TX, USA, April 2, 2001  
– Rochester Institute of Technology, Rochester, NY, USA, March 22, 2001  
– California Polytechnic State University, San Luis Obispo, CA, USA, March 19, 2001  
– University of Wisconsin Milwaukee, Milwaukee, WI, USA, March 9, 2001  
– University of California at Riverside, Riverside, CA, USA, March 2, 2001  
– Illinois Institute of Technology, Chicago, IL, USA, February 23, 2001  
– Washington State University, Pullman, WA, USA, February 9, 2001  
– Metroplex Institute for Neural Dynamics (MIND), Dallas, TX, USA, November 4, 2000
- P<sub>22</sub> V. Beiu: On Biological and Hardware Neural Networks  
International Joint Meeting AMS-SMM, Denton, TX, USA, May 19-22, 1999
- P<sub>21</sub> V. Beiu: A Novel Microsatellite Control System  
International ICSC Symposium on Engineering of Intelligent Systems EIS'98  
Tenerife, Canary Islands, Spain, February 9-13, 1998
- P<sub>20</sub> V. Beiu: A Space-Based Radio Frequency Transient Event Classifier  
International ICSC Symposium on Engineering of Intelligent Systems EIS'98  
Tenerife, Canary Islands, Spain, February 9-13, 1998
- P<sub>19</sub> V. Beiu: On VLSI-Optimal Constructive Algorithms for Classification Problems  
International ICSC Symposium on Engineering of Intelligent Systems EIS'98  
Tenerife, Canary Islands, Spain, February 9-13, 1998
- P<sub>18</sub> V. Beiu: Time-Space Trade-Offs in Parallel and Neural Computing  
International ICSC Symposium on Engineering of Intelligent Systems EIS'98  
Tenerife, Canary Islands, Spain, February 9-13, 1998

- P<sub>17</sub> V. Beiu, and H.E. Makaruk: Deeper and Sparser Nets Are Optimal  
International ICSC Symposium on Engineering of Intelligent Systems EIS'98  
Tenerife, Canary Islands, Spain, February 9-13, 1998
- P<sub>16</sub> R. Andonie, and V. Beiu  
Optimization of Circuits Using Neural Networks  
Workshop on Shaping the Hardware Solutions for the Third Millennium ANITA'96  
Uppsala, Sweden, December 9-10, 1996
- P<sub>15</sub> V. Beiu: VLSI Complexity of Threshold Gate COMPARISON  
International Symposium on Neuro-Fuzzy Systems AT'96  
Lausanne, Switzerland, August 29-31, 1996
- P<sub>14</sub> V. Beiu, and J.G. Taylor  
Area-Efficient Constructive Learning Algorithm  
International Conference on Control System and Computer Science CSCS-10  
Bucharest, Romania, May 25, 1995
- P<sub>13</sub> V. Beiu: Optimal VLSI Implementations of Neural Networks – VLSI-Friendly Learning Algorithms  
Applied Decision Technologies Conference ADT'95, London, UK, April 3-5, 1995
- P<sub>12</sub> V. Beiu, J.A. Peperstraete, J. Vandewalle, and R. Lauwereins  
Addition Using Constrained Threshold Gates  
International Conference on Technical Informatics ConTI'94  
Timișoara, Romania, November 16-19, 1994
- P<sub>11</sub> V. Beiu, J.A. Peperstraete, J. Vandewalle, and R. Lauwereins  
Digital Implementations of Neural Networks Using Threshold Gates  
International Conference Romania and Romanians in Contemporary Science RRCS'94  
Sinaia, Romania, May 24-27, 1994
- P<sub>10</sub> V. Beiu, J.A. Peperstraete, J. Vandewalle, and R. Lauwereins  
VLSI Complexity Reduction by Piece-Wise Approximation of the Sigmoid Function  
European Symposium on Artificial Neural Networks ESANN'94, Brussels, Belgium, April 20-22, 1994
- P<sub>9</sub> V. Beiu, J.A. Peperstraete, J. Vandewalle, and R. Lauwereins  
Learning from Examples and VLSI Implementation of Neural Networks  
European Meeting on Cybernetics and System Research EMCSR'94, Vienna, Austria, April 5-8, 1994
- P<sub>8</sub> V. Beiu: J.A. Peperstraete, J. Vandewalle, and R. Lauwereins  
Close Approximations of Sigmoid Functions by Sum of Steps  
Romanian Symposium on Computer Science ROSYCS'93, Iași, Romania, November 12-13, 1993
- P<sub>7</sub> V. Beiu, J.A. Peperstraete, J. Vandewalle, and R. Lauwereins  
Overview of Some Efficient Threshold Gate Decomposition Algorithms  
International Conference on Control System and Computer Science CSCS-9  
Bucharest, Romania, May 25-28, 1993
- P<sub>6</sub> V. Beiu, J.A. Peperstraete, and R. Lauwereins  
Enhanced Threshold Gate Fan-in Reduction Algorithm  
Interdisciplinary Centrum for Neural Networks ICNN'92, Leuven, Belgium, November 19, 1992
- P<sub>5</sub> V. Beiu: D. C. Ioan, M. Dumbrava, and O. Robciuc  
Physical Fields Determination Using Continuous Boltzmann Machines  
Symposium on Parallel Computing SPC'91, Bucharest, Romania, December 10-11, 1991
- P<sub>4</sub> V. Beiu: Neural Network Priority Queue  
International Workshop on Parallel Processing by Cellular Automata PARCELLA'90  
Berlin, Germany, September 19-21, 1990

- P<sub>3</sub> V. Beiu: From Systolic Arrays to Neural Networks  
International Symposium on Informatics INFO-IASI'89, Iași, Romania, October 19-21, 1989
- P<sub>2</sub> V. Beiu: Memory Structure with Simultaneous Read and Write Capabilities  
Conference of the Military Academy of Sciences, Bucharest, Romania, November 17-19, 1982
- P<sub>1</sub> V. Beiu: Reliability Enhanced Memory Architecture with Gracefully Degrading Performances  
Jubilee Session: Ten Years from the Foundation of the Special High-School for Informatics  
Bucharest, Romania, May 1981

**PREZENTARI INVITATE LA FIRME/INDUSTRIE**

**46**

- I<sub>46</sub> T.-J. King Liu, V. Beiu, M. Tache, W. Ibrahim, and A. Beg  
Ultra Low Power Hybrid NEMS-CMOS  
SRC GRC SLD Design Review, Intel, Hillsboro, OR, USA, May 7, 2015
- I<sub>45</sub> V. Beiu, G. Fettweis, M. Alioto, F. Kharbash, and W. Ibrahim  
Technical Mapping onto FinFETs  
SRC GRC ACE4S Annual Review, Abu Dhabi, UAE, April 23, 2014
- I<sub>44</sub> V. Beiu, T.-J. King Liu, G. Fettweis, M. Alioto, F. Kharbash, W. Ibrahim, A. Beg, and M. Tache  
Ultra-low Power: Unconventional Sizing, NEMS, and FinFETs  
SRC GRC Design Review, Bangalore, India, January 10, 2014
- I<sub>43</sub> V. Beiu, T.-J. King Liu, W. Ibrahim, A. Beg, and M. Tache  
Ultra Low Power Hybrid NEMS-CMOS  
SRC GRC ICSS Circuits & Texas Analog Center of Excellence (TxACE), Dallas, TX, USA, October 25, 2013
- I<sub>42</sub> V. Beiu, M. Alioto, A. Beg, W. Ibrahim, and F. Kharbash  
Unconventional Sizing for Enabling Low Power Digital Design  
SRC GRC CADTS LPD, Georgia Tech, Atlanta, GA, USA, October 2, 2013
- I<sub>41</sub> V. Beiu, G. Fettweis, M. Alioto, F. Kharbash, and W. Ibrahim  
Ultra-low Power Digital FinFET Amplifiers  
SRC/ATIC ACE4S Kickoff Meeting, Abu Dhabi, UAE, September 23, 2013
- I<sub>40</sub> V. Beiu, T.-J. King Liu, W. Ibrahim, A. Beg, and M. Tache  
Ultra Low Power Hybrid NEMS-CMOS  
SRC GRC ICSS Circuits & Texas Analog Center of Excellence (TxACE), Dallas, TX, USA, October 25, 2012
- I<sub>39</sub> V. Beiu, M. Alioto, A. Beg, W. Ibrahim, and F. Kharbash  
Unconventional Sizing for Enabling Low Power Digital Design  
SRC-MEES Kickoff Meeting, Abu Dhabi, UAE, October 21, 2012
- I<sub>38</sub> V. Beiu, T.-J. King Liu, W. Ibrahim, A. Beg, and M. Tache  
Ultra Low Power Hybrid NEMS-CMOS  
SRC-MEES, Abu Dhabi, UAE, October 21, 2012
- I<sub>37</sub> V. Beiu, W. Ibrahim, A. Beg, and F. Kharbash  
Ultra Low Power Hybrid NEMS-CMOS  
IBM-CIT, UAEU, AI Ain, UAE, October 4, 2012
- I<sub>36</sub> V. Beiu: On the Reliability Accuracy Challenge – Bio-inspired Arrays to the Rescue  
Intel, Portland, OR, USA, March 29, 2012
- I<sub>35</sub> V. Beiu, T.-J. King Liu, W. Ibrahim, A. Beg, and M. Tache  
Ultra Low Power Hybrid NEMS-CMOS  
SRC-MEES Kickoff Meeting for New ATIC Projects (web-conference), NC, USA, January 17, 2012
- I<sub>34</sub> V. Beiu: On the Reliability of Self-assembled 2D and 3D Arrays  
Intel, Santa Clara, CA, USA, November 17, 2011

- I<sub>33</sub> V. Beiu, T.-J. King Liu, W. Ibrahim, and A. Beg  
Ultra Low Power Hybrid NEMS-CMOS  
SRC/ATIC University Research Kickoff Meeting, Abu Dhabi, UAE, October 26, 2011
- I<sub>32</sub> V. Beiu: Brain-inspired Hybrid Topologies for Nano-architectures  
SRC GRC ICSS Circuits & Texas Analog Center of Excellence (TxACE), Dallas, TX, USA, October 24-28, 2011
- I<sub>31</sub> V. Beiu: From Reliable Neurons to Regular Nano-Fabrics — Six Month Later  
Intel, Santa Clara, CA, USA, February 25, 2011
- I<sub>30</sub> V. Beiu: From Reliable Neurons to Regular Nano-Fabrics  
Intel, Santa Clara, CA, USA, September 9, 2010
- I<sub>29</sub> V. Beiu: Reliable Ultra Low-Power Information Processing  
ATIC (later Mubadala Technology) Abu Dhabi, UAE, March 2010
- I<sub>28</sub> V. Beiu: When Electrons Start Showing Their True Colors — Quo Vadis Nanoarchitectures?  
IBM Thomas J. Watson Research Center, Yorktown Heights, NY, USA, June 2008
- I<sub>27</sub> V. Beiu: Brain Inspired Nano Architectures — Electrons Behaving Badly  
IBM Research, Böblingen, Germany, May 20, 2008
- I<sub>26</sub> V. Beiu: Interconnect Tyranny – Brain’s versus Rent’s Rule  
HP Labs, Santa Clara, CA, USA, April 26, 2007
- I<sub>25</sub> V. Beiu: On 3D Nano-Designs – In the Yield-Energy-Delay Realm  
International Technology Roadmap for Semiconductors (ITRS), SRC, Austin, TX, USA, March 22, 2007
- I<sub>20-24</sub> V. Beiu: On Neural-Inspired Nano Architectures (CNINA)  
– Synplicity, September 26, 2003  
– AMD, September 26, 2003  
– Agilent Labs, September 25, 2003  
– Infineon, September 25, 2003  
– SUN Microsystems, September 25, 2003
- I<sub>19</sub> V. Beiu: Direct Digital Frequency Synthesizers: A Survey  
Boeing, Seattle, WA, USA, February 5, 2003
- I<sub>16-18</sub> G. LaRue, V. Beiu, and F. Shi  
Direct Digital Frequency Synthesizer for Reconfigurable Communication Systems  
– Air Force Research Laboratory (AFRL) and the Centre for Design of Analog-Digital ICs (CDADIC)  
Welches, OR, USA, July 9-11, 2003  
– Air Force Research Laboratory (AFRL) and the Centre for Design of Analog-Digital ICs (CDADIC)  
Seattle, WA, USA, February 7, 2003  
– Air Force Research Laboratory (AFRL) and the Centre for Design of Analog-Digital ICs (CDADIC)  
Stevenson, Washington, USA, July 10, 2002
- I<sub>1-15</sub> V. Beiu: ... (under NDAs)  
– Q’Bit Systems SRL, Bucharest, Romania, October 24, 2000  
– ESSEX Com SRL, Bucharest, Romania, October 23, 2000  
– Utimaco, Brussels, Belgium, May 26, 2000  
– ST Microelectronics, San Diego, CA, USA, September 29, 1999  
– ST Microelectronics, Carrollton, TX, USA, August 20, 1999  
– Texas Instruments, Dallas, TX, USA, August 16, 1999  
– Sipex, Milpitas, CA, USA, August 13, 1999  
– ST Microelectronics, San Jose, CA, USA, August 13, 1999  
– ST Microelectronics, San Jose, CA, USA, April 16, 1999

- National Semiconductors, Santa Clara, CA, USA, April 16, 1999
- Alcatel, Brussels, Belgium, April 14, 1999
- Texas Instruments, Dallas, TX, USA, April 1, 1999
- Texas Instruments, Houston, TX, USA, March 25, 1999
- Metaflow, La Jolla, CA, USA, February 18, 1999
- Texas Instruments, Houston, TX, USA, September 21, 1998